

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017559

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 21/768

H01L 21/28

(21)Application number : 2001-198595

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.06.2001

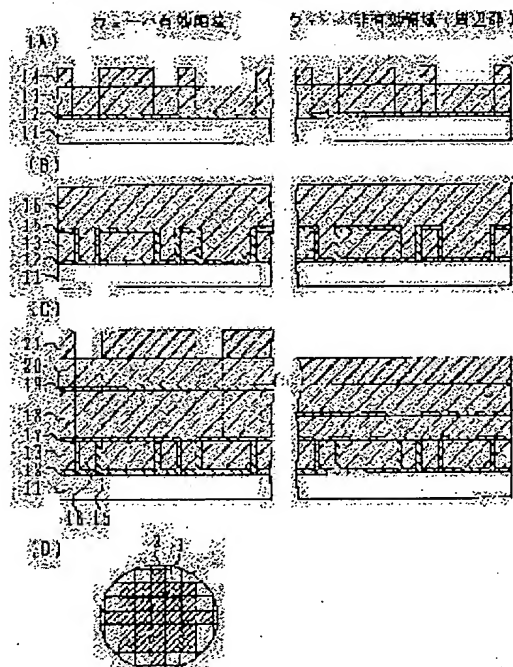
(72)Inventor : WATANABE KENICHI

(54) SEMICONDUCTOR WAFER DEVICE AND METHOD OF MANUFACTURING SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor wafer device by which a desired wiring structure can be formed and an increase of defective rate in a wafer effective region can be prevented.

SOLUTION: The manufacturing method of a semiconductor wafer device comprises (a) a step of forming a lower wiring pattern connected to a semiconductor device on a semiconductor wafer provided with the semiconductor device formed on a circuit region, (b) a step of covering the lower wiring pattern to form an interlayer insulation film on the semiconductor wafer, and (c) a step of forming a via conductor connected to the lower wiring pattern on the circuit region and a wiring pattern deposited thereon by embedding a conductor pattern which associates with a wiring pattern on a boundary region outside the circuit region in the interlayer insulation film. The conductor pattern is formed while it is electrically isolated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2003-17559

(P2003-17559A)

(43)公開日 平成15年1月17日(2003.1.17)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H O 1 L 21/768

H0 1 L 21/28

L 4M104

21/28

21/90

B 5 F 0 3 3

N

S

P

審査請求 未請求 請求項の数10 OL (全 23 頁)

(21)出願番号 特願2001-198595(P2001-198595)

(22) 出願日 平成13年6月29日(2001.6.29)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 渡邊 健一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎

[最終頁に続く](#)

(54) 【発明の名称】 半導体ウエハ装置およびその製造方法

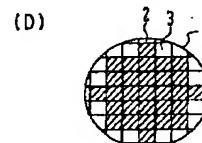
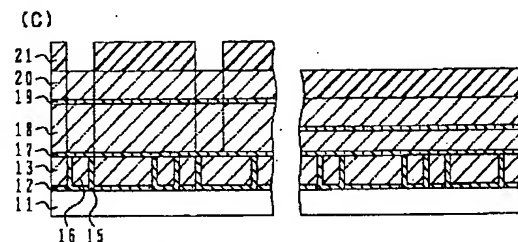
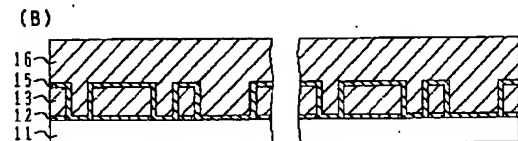
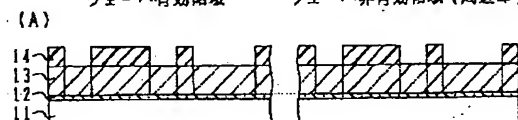
(57) 【要約】

【課題】 所望の配線構造を形成することができ、かつウエハ有効領域の欠陥率の増加を防止することのできる半導体ウエハ装置の製造方法を提供する。

【解決手段】 半導体ウエハ装置の製造方法は、（a）回路領域に半導体素子を形成した半導体ウエハ上に半導体素子に接続された下層配線パターンを形成する工程と、（b）下層配線パターンを覆って半導体ウエハ上に層間絶縁膜を形成する工程と、（c）回路領域上で下層配線パターンに接続されたビア導電体とその上に配置された配線パターンとを、回路領域外の周辺領域上で配線パターンに対応する導電体パターンを、層間絶縁膜に埋め込んで形成する工程とを含む。導電体パターンは電気的に分離された状態で形成される。

ウェーハ有効領域

ウェーハ非有効領域（周辺部）



【特許請求の範囲】

【請求項1】 中央部に配置された回路領域と、周囲に配置され、回路を構成しない周辺領域とを有する半導体ウエハと、

前記回路領域に形成された多数の半導体素子と、
前記回路領域上に形成され、前記半導体素子と接続された多層配線と層間絶縁膜とを含む多層配線構造であって、多層配線の少なくとも一部は、層間絶縁膜に埋め込まれた配線パターンとビア導電体とを含むダマシン配線である多層配線構造と、

前記周辺領域上に形成され、前記層間絶縁膜に相当する絶縁膜と該絶縁膜に埋め込まれ、前記配線パターンに対応する導電体パターンを有し、前記ビア導電体に対応する導電体パターンは有さない多層構造と、を有する半導体ウエハ装置。

【請求項2】 前記多層配線の少なくとも1層に対応する前記層間絶縁膜および前記絶縁膜は、第1エッチストップ層、第1絶縁層、第2絶縁層、第3絶縁層を含み、前記配線パターンおよび前記導電体パターンは、前記第3絶縁層および前記第2絶縁層を除去した溝内に配置され、前記ビア導電体は前記第1絶縁層および前記第1エッチストップ層を除去したホール内に配置されている請求項1記載の半導体ウエハ装置。

【請求項3】 前記第2絶縁層が酸化シリコンより低誘電率絶縁層であり、前記第3絶縁層が前記第2絶縁層よりも高誘電率の絶縁層であり、前記第2絶縁層は前記ウエハ端部で除去されており、その最外側面を覆って前記第3絶縁層が形成されている請求項2記載の半導体ウエハ装置。

【請求項4】 前記第2絶縁層が酸化シリコンより低誘電率の低誘電率絶縁層であり、前記第3絶縁層が前記第2絶縁層よりも高誘電率の絶縁層であり、前記第2絶縁層は前記ウエハ端部で除去されており、その最外側面を覆って前記配線パターン、前記導電体パターンと同一の導電体層が形成されている請求項2記載の半導体ウエハ装置。

【請求項5】 半導体ウエハを含む下地と、
前記下地端部を除いて前記下地上に形成され、酸化シリコンより低誘電率の第1絶縁層と、
前記第1絶縁層上に形成され、第1絶縁層よりも誘電率の高い第2絶縁層と、
少なくとも前記第2絶縁層に形成された配線溝と、
前記配線溝を埋める導電体のパターンと、
前記第1絶縁層の最外側面を覆う前記第2絶縁層または前記導電体の層と、を有する半導体ウエハ装置。

【請求項6】 (a) 回路領域に半導体素子を形成した半導体ウエハ上に前記半導体素子に接続された下層配線パターンを形成する工程と、

(b) 前記下層配線パターンを覆って前記半導体ウエハ上に表面を平坦化した層間絶縁膜を形成する工程と、

2

(c) 前記回路領域上で前記下層配線パターンに接続されたビア導電体とその上に配置された配線パターンとを、前記回路領域外の周辺領域上で前記配線パターンに対応する導電体パターンを、前記層間絶縁膜に埋め込んで形成する工程と、を含み、前記導電体パターンは電気的に分離された状態で形成される、半導体ウエハ装置の製造方法。

【請求項7】 前記工程(b)は、第1エッチストップ層、表面を平坦化した第1絶縁層、第2絶縁層、第3絶縁層を順次積層する工程を含み、

前記工程(c)は、(c-1)前記第3絶縁層と前記第2絶縁層とを選択的に除去して前記回路領域上に配線パターン溝を回路領域外の周辺領域に導電体パターン溝を形成する工程と、(c-2)前記配線溝の底面から前記下層配線パターンに達するホールを前記回路領域の前記第1絶縁層、前記第1エッチストップ層を貫通して形成する工程と、(c-3)前記配線パターン溝、前記ホール、前記導電体パターン溝内に導電体を埋め込む工程と、を含む請求項6記載の半導体ウエハ装置の製造方法。

【請求項8】 前記工程(b)は、(b-1)第1エッチストップ層と第1絶縁層とを積層する工程と、(b-2)前記第1絶縁層を研磨してその表面を平坦化する工程と、(b-3)平坦化した表面上に、第2絶縁層と第3絶縁層とを積層する工程と、を含み、

前記工程(c)は、(c-1)前記工程(b-2)の後、前記回路領域の前記第1絶縁層、前記第1エッチストップ層を貫通して前記下層配線表面を露出するホールを形成する工程と、(c-2)前記ホールにビア導電体を埋め込む工程と、(c-3)前記工程(b-3)の後、前記第3絶縁層、前記第2絶縁層を選択的に除去し、前記回路領域に前記ビア導電体表面を露出する配線パターン溝、前記回路領域外の周辺領域に導電体パターン溝を形成する工程と、(c-4)前記配線パターン溝、前記導電体パターン溝に導電体を埋め込む工程と、を含む請求項6記載の半導体ウエハ装置の製造方法。

【請求項9】 前記工程(b)は、(b-1)酸化シリコンより低誘電率の第2絶縁層を形成する工程と、(b-2)半導体ウエハ端部上の前記第2絶縁層を除去する工程と、(b-3)前記第2絶縁層の最外側面を覆い、前記半導体ウエハ上に前記低誘電率より高い誘電率の第3絶縁層を形成する工程と、を含み、
前記工程(c)は、前記第2絶縁層の最外側面を前記第3絶縁層または導電体が覆った形状を作成する請求項7記載の半導体ウエハ装置の製造方法。

【請求項10】 半導体ウエハを含む下地上に酸化シリコンより低誘電率の第1絶縁層を形成する工程と、
半導体ウエハ端部上の前記第1絶縁層を除去する工程と、

前記第1絶縁層の最外側面を覆って、半導体ウエハ上に

3

第1絶縁層よりも誘電率の高い第2絶縁層を形成する工程と、

少なくとも前記第2絶縁層に配線溝を形成する工程と、
前記第2絶縁層上に導電体層を形成する工程と、
前記導電体層を研磨して、前記配線溝内に配線パターンを残すと共に、前記第1絶縁層の最外側面が前記第2絶縁層又は前記導電体層で覆われた形状を作成する工程と、を含む半導体ウエハ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウエハ装置およびその製造方法に関し、特にダマシン配線を有する半導体ウエハ装置およびその製造方法に関する。

【0002】本明細書において、エッチストップ層とは、ある層のエッチング中、露出されても、エッチング対象層のエッチング速度の1/5以下のエッチング速度を有する層を指す。

【0003】

【従来の技術】半導体装置においては、ますます集積度の向上が要求されている。従来は、絶縁層上にAl配線層やW配線層を形成した後、その上にレジストパターン等のエッチングマスクを形成し、配線層をパターニングし、絶縁層で埋め込むことによって配線を形成していた。

【0004】集積度の向上と共に、配線の幅を減少し、配線間隔を減少することが要求される。このような微細化に伴い、配線層を直接エッチングして配線を形成する技術に限界が生じ始めている。代りに、絶縁層に配線用溝、ビア孔を形成し、この配線用溝、ビア孔内に配線層を埋め込み絶縁層表面上の余分な配線層を化学機械研磨(CMP)によって除去するダマシン配線プロセスが利用され始めている。

【0005】配線材料としては、Al、Al合金、W等より低抵抗率でエレクトロマイグレーション耐性が高いCuが使用され始めている。Cuは、このように配線材料として優れた性質を持つが、酸化され易い、Alのように化学的に安定な酸化膜を形成しないというデメリットも有する。このため、配線構造、配線形成プロセスに留意することが必要である。

【0006】上下の配線パターン間の接続のため、配線パターン間をビア導電体で接続する。ダマシンプロセスとしては、下部層間絶縁膜にビア孔を形成、ビア導電体で埋め戻した後、上部層間絶縁膜を形成し、配線用溝を形成し、配線を埋め込むシングルダマシンプロセスと、層間絶縁膜にビア孔と配線用溝を作成した後、ビア孔と配線用溝に同時に配線材料を埋め戻すデュアルダマシンプロセスとがある。

【0007】デュアルダマシンプロセスにも、ビア孔を先に形成し、その後配線溝を形成する先ビア方式と、配線用溝を形成した後、ビア孔を形成する後ビア方式が知

4

られている。

【0008】配線密度が高くなると、配線間容量も高くなりやすい。配線の付随容量が高くなると信号伝達速度が遅くなる。配線の付随容量を低減するためには、絶縁層の誘電率を低減することが有効である。従来の酸化シリコンに加え、弗素や炭素を添加した酸化シリコン、塗布型の炭化水素系有機絶縁材料、塗布型無機絶縁材料、内部に空孔を含む(多孔質)絶縁層等が利用され始めている。

10 【0009】これらの配線形成技術は未だ十分確立されていない。1つの利点を求めて改良を行うと、別の点で問題が生じ欠陥率を増大させてしまうことも少なくない。

【0010】

【発明が解決しようとする課題】本発明の目的は、所望の配線構造を形成することができ、かつ欠陥率の増加を防止することのできる半導体ウエハ装置の製造方法を提供することである。

20 【0011】本発明の他の目的は、ウエハ有効領域で所望の配線構造を提供し、欠陥発生の原因を減少させることのできる半導体ウエハ装置を提供することである。

【0012】

【課題を解決するための手段】本発明の1観点によれば、中央部に配置された回路領域と、周囲に配置され、回路を構成しない周辺領域とを有する半導体ウエハと、前記回路領域に形成された多数の半導体素子と、前記回路領域上に形成され、前記半導体素子と接続された多層配線と層間絶縁膜とを含む多層配線構造であって、多層配線の少なくとも一部は、層間絶縁膜に埋め込まれた配線パターンとビア導電体とを含むダマシン配線である多層配線構造と、前記周辺領域上に形成され、前記層間絶縁膜に相当する絶縁膜と該絶縁膜に埋め込まれ、前記配線パターンに対応する導電体パターンを有し、前記ビア導電体に対応する導電体パターンは有さない多層構造と、を有する半導体ウエハ装置が提供される。

【0013】本発明の他の観点によれば(a)回路領域に半導体素子を形成した半導体ウエハ上に前記半導体素子に接続された下層配線パターンを形成する工程と、

(b)前記下層配線パターンを覆って前記半導体ウエハ上に表面を平坦化した層間絶縁膜を形成する工程と、

(c)前記回路領域上で前記下層配線パターンに接続されたビア導電体とその上に配置された配線パターンとを、前記回路領域外の周辺領域上で前記配線パターンに対応する導電体パターンを、前記層間絶縁膜に埋め込んで形成する工程と、を含み、前記導電体パターンは電気的に分離された状態で形成される、半導体ウエハ装置の製造方法が提供される。

【0014】本発明のさらに他の観点によれば、半導体ウエハを含む下地上に酸化シリコンより低誘電率の第1絶縁層を形成する工程と、半導体ウエハ端部上の前記第

50

5

1 絶縁層を除去する工程と、前記第1 絶縁層の最外側面を覆って、半導体ウエハ上に第1 絶縁層よりも誘電率の高い第2 絶縁層を形成する工程と、少なくとも前記第2 絶縁層に配線溝を形成する工程と、前記第2 絶縁層上に導電体層を形成する工程と、前記導電体層を研磨して、前記配線溝内に配線パターンを残すと共に、前記第1 絶縁層の最外側面が前記第2 絶縁層又は前記導電体層で覆われた形状を作成する工程と、を含む半導体ウエハ装置の製造方法が提供される。

【0015】

【発明の実施の形態】実施例の説明に先立ち、基礎となる検討事項を説明する。

【0016】図20 (A) ~ (D) は、デュアルダマシン配線プロセスの例を説明するための半導体ウエハ装置の概略断面図を示す。図中、左側に半導体ウエハ中で有効な回路チップを形成するウエハ有効領域を示し、右側に有効な回路領域は形成しないウエハ非有効領域を示す。

【0017】図20 (A) に示すように、下地11の上に第1エッチングストップパ層12と第1絶縁層13を積層する。下地11は、例えば半導体基板に半導体素子を形成した後、絶縁層にWプラグを埋め込んだ構造である。シングルダマシン配線構造のビア導電体までを形成した構造であっても良い。第1絶縁層13の上に、配線パターン(後述する導電体パターンを含む)の開口を有する第1ホトレジスト層14を形成する。

【0018】ウエハ非有効領域は回路とならない領域であるが、ウエハ内でのプロセスパラメータの変動の影響を減少させるため、ウエハ有効領域の配線パターン類似的導電体パターンをウエハ非有効領域に形成する。

【0019】第1ホトレジスト層14をマスクとし、その下の絶縁層13をCF系プラズマを用いた反応性イオンエッチングによりエッチングする。エッチングは第1エッチングストップパ層12で自動停止する。

【0020】次に、O₂プラズマによるアッシングを行ない、第1ホトレジスト層14を除去する。この時、下地11表面の導電体は、第1エッチングストップパ層12により被覆されているため、酸化が防止される。第1ホトレジスト層14を除去した後、CHF系エッチングガスを用いたRIEにより露出している第1エッチングストップパ層12を除去する。このようにして、配線用溝が形成される。

【0021】図20 (B) に示すように、配線用溝内を覆うように第1バリアメタル層15をスパッタリング等により形成した後、第1主配線層16をスパッタリングやメッキ等により形成する。メッキにより第1主配線層を形成する場合は、先ずスパッタリングでシード層を形成した後、シード層上にメッキで残りの主配線層を形成する。

【0022】主配線層16を形成した後、第1絶縁層1

6

3の表面より上の第1バリアメタル層15、第1主配線層16を化学機械研磨(CMP)により除去する。第1主配線層は例えばCuで形成され、空気中に露出されると容易に酸化する。

【0023】図20 (C) に示すように、CMP後に直ちに酸素遮蔽能を有する第2エッチングストップパ層17により主配線層16を被覆する。第2エッチングストップパ層17の上に、第2絶縁層18を形成する。

【0024】図においては、第1絶縁層13の表面と配線用溝に埋め込んだ第1主配線層16、第1バリアメタル層15の上表面とが面一に示されているが、実際はCMPにおいてオーバーポリッシングを実行すると、第1主配線層16や第1バリアメタル層15が第1絶縁層13よりも凹むディッシング現象が生じる。その上に形成した第2エッチングストップパ層17、第2絶縁層18もディッシングの部分で凹んだ表面を形成する。

【0025】図21 (A) ~ (G) は、ディッシング現象とその影響を説明するための図である。

【0026】図21 (A) は、主配線層16のみがディッシングした場合を示す。第1絶縁層13の表面と比べ、第1主配線層16の表面は凹んでいる。

【0027】図21 (B) は、主配線層とバリアメタル層とが共にディッシングする場合を示す。第1絶縁層13の表面と比較して、バリアメタル層15の表面は下がり、主配線層16の表面はさらに下がっている。

【0028】図21 (C) は、バリアメタル層15と主配線層16とが同じエッチングレートを有し、第1絶縁層13の表面から等しい深さ下がった場合を示す。

【0029】図21 (D) は、ディッシングが生じた表面上に第2エッチングストップパ層17、第2絶縁層18、第3エッチングストップパ層19、第3絶縁層20を順次形成した構成を示す。絶縁層を形成するプロセスにおいて、下地表面の狭い凹みは埋め戻される可能性があるが、広く凹んでいる場合は埋め戻すことが出来ず、その表面は凹んだ形状となる。第3絶縁層20の表面は、広くディッシングした領域上で凹んでいる。

【0030】図21 (E) は、このようにディッシングの影響を有する絶縁層にダマシン配線を形成した状態を示す。第3絶縁層20、第3エッチングストップパ層19に配線用溝を形成し、バリアメタル層22、主配線層23を形成した後、CMPにより第3絶縁層20表面のバリアメタル層22、主配線層23を除去した状態である。

【0031】ディッシングが生じていた場合、第3絶縁層20の表面が凹んでおり、その部分に堆積したバリアメタル層22、主配線層23はCMPを行なっても残る可能性がある。図中右側に示したダマシン配線の右側に延長している部分がこのような領域である。配線パターンが所望のパターンからずれ、所望の特性が得られなくなる可能性がある。

10

20

30

40

50

7

【0032】図21(F)は、ディッシングの影響を示す他の形態を示す。第3絶縁層20、第3エッチングストッパ層19に3つの配線パターンを形成した場合を示す。ディッシングにより、第3絶縁層20の表面が凹んでおり、そこに2つの配線パターンが形成されている。凹み内に形成されたバリアメタル層22、主配線層23は、CMPを行なっても完全には除去されず、一部が残っている。このため、2つの配線は残された主配線層、バリアメタル層により短絡してしまう。

【0033】図21(G)は、このようなディッシングの影響を避けるために、第2絶縁層18を成膜した後、CMPを行なってその表面を平坦化した場合の絶縁層の構成を概略的に示す。第2絶縁層18表面がCMPにより平坦化されている。従って、その上に形成される第3エッチングストッパ層19、第3絶縁層20は平坦な表面を有している。

【0034】図20(C)において、ディッシングの影響を避けるため、第2絶縁層18を形成した後、CMPを行なってその表面を平坦化する。CMPは、ウエハ全面上で均一に実施することは困難である。ウエハに印加される圧力の分布やCMP用スラリー供給量の分布等により、ウエハ端部がウエハ中央部に比べより研磨されやすい。このため、CMP後の第1絶縁層18は、ウエハ中央部で厚く、ウエハ端部で薄くなる傾向がある。

【0035】CMP後、第2絶縁層18表面上に第3エッチングストッパ層19、第3絶縁層20を形成する。第3絶縁層20の上に、ビア孔パターンの開口を有する第2ホトレジスト層21を形成する。

【0036】第2ホトレジスト層21をエッチングマスクとし、CF系エッチングガスを用いて第3絶縁層20、第3エッチングストッパ層19、第2絶縁層18をRIEによりエッチングする。エッチング条件を制御することにより、第2エッチングストッパ層17の表面でエッチングが停止するようにする。

【0037】その後、O₂ガスプラズマを用いたアッシングにより、第2ホトレジスト層21を除去する。この時、ウエハ有効領域においては第1主配線層16表面は第2エッチングストッパ層17により覆われているため、O₂プラズマから保護されている。

【0038】その後、必要に応じてビア孔内を保護し、第3絶縁層20上に新たなホトレジスト層を形成し、配線パターンの開口を形成する。ホトレジスト層をマスクにして第3絶縁層20をエッチングする。新たなホトレジスト層を除去した後、露出している第3エッチングストッパ層19、第2エッチングストッパ層17を除去して、配線溝、ビア孔を形成する。配線溝、ビア孔内に同時に導電体層を形成し、不要部をCMPで除去してデュアルダマシン配線を完成する。

【0039】図20(D)に示すように、ウエハ有効領域で第2絶縁層18のエッチングを行っている間に、ウ

8

エハ端部に近いウエハ非有効領域においては第2絶縁層18のエッチングが終了し、第2エッチングストッパ層17が徐々にエッチングされ、第1主配線層16の表面が露出してしまうことがある。CF系ガスによるRIE中に主配線層16が露出すると、主配線層16の表面はCF系ガスにより変質する可能性がある。また、その後行なわれるレジスト剥離のアッシングにおいてO₂ガスプラズマに露出されると、主配線層16の表面は酸化してしまう。

【0040】ウエハ非有効領域は、元々回路としては利用されない領域であるため、主配線層の表面が変質してもそれにより直接ウエハ有効領域の構造に影響は与えないが、例えば酸化した主配線層は体積を膨張させる。また、変質によりまわりの層間絶縁膜との密着性が低下する。その後のウエハプロセスを行なうと、熱処理、研磨等のプロセスにおいてウエハ端部等で膜剥がれ等がおき、剥がれた膜がウエハ有効領域に移動し、有効領域内の欠陥率を増加させる原因となる。

【0041】このような現象は、配線をデュアルダマシンプロセスで形成する場合に限らない。シングルダマシンプロセスを用いて配線を形成する場合にも同様の問題が生じる。

【0042】図22(A)、(B)は、シングルダマシン配線を形成する場合を示す。図22(A)において、第2エッチングストッパ層17の上に第2絶縁層18を形成し、CMPを行なって表面を平坦化するまでは、図20と同様である。第2絶縁層18の上に、ビア孔パターンの開口を有するホトレジスト層21を形成する。このホトレジスト層21をエッチングマスクとし、第2絶縁層18をエッチングする。なお、ビア孔パターンはウエハ有効領域と同様ウエハ非有効領域にも分布している。

【0043】図22(B)に示すように、ウエハ有効領域で第2絶縁層18を貫通するビア孔を形成した後、ホトレジスト層21をアッシングで除去する。ウエハ非有効領域においては、ウエハ有効領域で第2絶縁層18がエッチングされている間に、第2絶縁層18のエッチングは終了し、第2エッチングストッパ層17が徐々にエッチングされ、その下の主配線層16が露出してしまうことがある。

【0044】CF系ガスによるエッチング中に主配線層16が露出すると、主配線層が変質する可能性がある。又、その後に行なわれるレジスト剥離のアッシングにおいて、主配線層16の表面は酸化してしまう。このように、シングルダマシンプロセスにおいてもデュアルダマシンプロセスと同様の問題が生じる。

【0045】このように、ディッシングの影響が上層配線層に及ぶのを防止するためには、CMPを行なう必要があり、CMPを行なうと、絶縁層の厚さがウエハ端部で薄くなり、他の問題を生じてしまう。

9

【0046】図1(A)～図3(I)は、本発明の実施例による半導体ウエハ装置の製造方法の主要工程を示す。図1(A)～(C)は、半導体ウエハの概略断面図であり、左側に半導体回路を構成するウエハ有効領域を示し、右側に有効な回路を形成しないウエハ非有効領域を示す。なお、ウエハ非有効領域は、ウエハ有効領域の周辺に配置されているので、ウエハ周辺部とも呼ぶ。ウエハ周辺部のうち、ウエハの端部から一定の幅の領域をウエハ端部と呼ぶ。図1(D)は、半導体ウエハ平面図である。

【0047】図1(A)に示すように、下地11の上に第1エッチングストップ層12を形成し、その上に第1絶縁層13を形成する。下地11は、例えば半導体ウエハの活性領域にMOSFETを形成した後、その表面上に絶縁層を形成し、絶縁層内にWプラグを埋め込んだ構成やさらに上層の配線層のビア導電体を形成した構成である。

【0048】第1エッチングストップ層12は、例えば厚さ50nmのSiN層で形成され、酸素遮蔽能、エッチングストップ機能、Cu拡散防止機能を有する。第1絶縁層13は、例えば厚さ500nmのSiO₂層で形成される。第1絶縁層13の表面上に、配線パターン（実際には配線とならない導電体パターンを含む）の開口を有するホトレジスト層14を形成する。

【0049】ホトレジスト層14をエッチングマスクとし、CF系エッチングガスを用いた反応性イオンエッチング(RIE)により、第1絶縁層13をエッチングし、第1エッチングストップ層12でエッチングを停止させる。その後、O₂系ガスプラズマを用いたアッシングにより、ホトレジスト層14を除去する。このアッシングにおいて、下地11は第1エッチングストップ層12で覆われているため、その導電体表面の酸化は防止される。その後、配線用溝内に露出した第1エッチングストップ層12を、CHF系エッチングガスを用いたRIEにより除去する。

【0050】例えば、SiO₂層はCF₄(又はC₄F₈) / Ar / O₂の混合ガスをエッチャントとしてエッチングし、SiN層はCHF₃ / Ar / O₂の混合ガスをエッチャントとしてエッチングする。

【0051】図1(B)に示すように、配線溝を形成した構造の上に、第1バリアメタル層15、第1主配線層16を形成する。バリアメタル層15は、例えば厚さ約50nmのTa層で形成する。主配線層16は、例えば厚さ1500nmのCu層で形成する。バリアメタル層15はスパッタリングで形成する。主配線層16は、スパッタリングやメッキにより形成する。メッキにより主配線層16を形成する場合は、例えばまずCuシード層をスパッタリングで形成し、その上にメッキでCu層の残り厚さを形成する。

【0052】バリアメタル層15、主配線層16を形成

10

した後、化学機械研磨(CMP)を行ない、第1絶縁層13表面上の主配線層16、バリアメタル層15を除去する。

【0053】図1(C)に示すように、CMPにより第1絶縁層13表面上の主配線層16、バリアメタル層15を除去した後、半導体ウエハ表面に第2エッチングストップ層17を形成し、主配線層16表面を保護する。第2エッチングストップ層17は、例えば厚さ50nmのSiN膜で形成する。第2エッチングストップ層17の上に、第2絶縁層18を例えば厚さ1200nmのSiO₂層で形成する。

【0054】第2絶縁層18を形成した後、CMPを行ないその表面を平坦化する。CMPによりウエハ有効領域で例えば厚さ500nmの第2絶縁層18を研磨し、厚さ700nmの残膜を残すと、ウエハ周辺部においては例えば厚さ900nm分の第2絶縁層18が研磨され、残膜が300nmの厚さとなる。ウエハ有効領域では700nmの第2絶縁層18が残っているのに対し、ウエハ周辺部ではその半以下の厚さの絶縁層18となってしまう。

【0055】CMPの後、第2絶縁層18表面上に第3エッチングストップ層19、第3絶縁層20を形成する。第3エッチングストップ層19は、例えば厚さ50nmのSiN層で形成する。第3絶縁層20は、例えば厚さ500nmのSiO₂層で形成する。第3絶縁層20表面上に、ビア導電体用のホールパターンの開口を有するホトレジスト層21を形成する。ここで、ホールパターンはウエハ有効領域にのみ形成され、ウエハ周辺部には形成されない。

【0056】図1(D)は、ウエハの平面図を示す。斜線で示したウエハ有効領域においてはホールパターンを形成するが、その周囲に示されたウエハ周辺部においてはホールパターンは形成しない。周辺部にホールパターンを形成しないことにより、第2エッチングストップ層17がエッチングされ、主配線層16が酸化、変質される問題を防止できる。

【0057】図1(C)に戻り、ホトレジスト層21をエッチングマスクとし、CF系エッチングガス、CHF系エッチングガス等を用い、第3絶縁層20、第3エッチングストップ層19、第2絶縁層18をエッチングし、エッチング条件を制御することにより第2エッチングストップ層17表面でエッチングを停止させる。

【0058】ウエハ周辺部においてはホールパターンが存在しないため、ホトレジスト層21が第3絶縁層20表面を保護し、その下の第3エッチングストップ層19、第2絶縁層18、第2エッチングストップ層17はそのまま残される。

【0059】なお、ウエハ有効領域にのみホールパターンを形成しても、ホールパターンの占有面積は小さく、プロセスパラメーターの分布によりウエハ有効領域のエ

10

20

30

40

50

11

ッチングが不安定になる程度は少ない。エッチング終了後、 O_2 プラズマを用いたアッシングにより、ホトレジスト層21を除去する。

【0060】図2(E)に示すように、半導体ウエハ表面上に非感光性樹脂を塗布し、表面から溶解することによりビア孔内にのみ非感光性樹脂の詰物22を残す。その後、第3絶縁層20の表面上に配線パターン(導電体パターンを含む)の開口を有するホトレジスト層23を形成する。

【0061】ホトレジスト層23の配線パターンは、ウエハ有効領域のみでなく、ウエハ周辺部にも形成する。すなわち、ウエハ全面に配線パターンを形成し、エッチング速度、研磨速度等のプロセスパラメータのウエハ内分布による影響がウエハ有効領域に及ぶ程度を低減する。

【0062】図2(G)は、半導体ウエハ1内の配線パターンが形成される領域、すなわち、ウエハ全面を示す平面図である。

【0063】その後、ホトレジスト層23をエッチングマスクとし、CF系エッチングガスを用いたRIEにより、第3絶縁層20をエッチングする。第3絶縁層20は、ウエハ全面でほぼ均等な厚さを有するため、エッチングはほぼ均等に進行し、ウエハ有効領域、ウエハ周辺部に配線溝を形成し、第3エッチングストップ層19表面で停止する。ウエハ周辺部における主配線層16、バリアメタル層15の表面は、第3エッチングストップ層19、第2絶縁層18、第2エッチングストップ層17により覆われており、変質、酸化を防止される。

【0064】図2(F)に示すように、第3絶縁層20のエッチングを終了した後、 O_2 プラズマを用いたアッシングにより、ホトレジスト層23を除去する。非感光性樹脂の詰物22も同時に除去される。配線溝底面に露出した第3エッチングストップ層19、ビア孔底面に露出した第2エッチングストップ層17をCHF系エッチングガスを用いたRIEにより除去する。

【0065】図3(H)に示すように、配線溝、ビア孔を形成した半導体ウエハ表面上に、第2バリアメタル層24、第2主配線層25を形成する。第1バリアメタル層15、第1主配線層16同様、バリアメタル層はスパッタリングで形成し、主配線層はスパッタリング又はメッキにより形成する。その後、第3絶縁層20表面上に堆積した第2主配線層25、第2バリアメタル層24をCMPにより除去する。

【0066】図3(I)に示すように、CMP後の第2主配線層25表面を覆うように、半導体ウエハ表面に第4エッチングストップ層26を形成する。第2主配線層が最上配線層の場合は、エッチングストップ層に代え、表面保護層を形成する。

【0067】このようにして、ウエハ有効領域にはデュアルダマシンの配線層、ウエハ周辺部にはビア導電

12

体を備えず、配線としては機能しない導電体パターンだけのシングルダマシンの構造が形成される。ウエハ周辺部において導電体パターンのみのシングルダマシンの構造を形成するため、下地導電体パターンの表面が酸化したり変質したりすることを防ぐことができる。

【0068】以上デュアルダマシンの構造で多層配線を形成する場合を説明したが、シングルダマシンの配線構造においても同様の構造を採用することができる。

【0069】図4(A)～図6(G)は、本発明の他の実施例によりシングルダマシンの配線構造を形成する製造方法の主要工程を示す半導体ウエハの断面図である。なお、図1(A)～図3(I)の実施例と同様な要素には同じ符号を付し、詳しい説明は省略する。

【0070】図4(A)に示すように、下地11上に第1エッチングストップ層12、第1絶縁層13を形成し、第1バリアメタル層15、第1主配線層16で形成された配線パターンを埋めこむ。その後、半導体ウエハ表面上に第2エッチングストップ層17、第2絶縁層18を形成し、CMPにより表面を平坦化する。CMPにより、ウエハ周辺部における第2絶縁層18の厚さは、ウエハ有効領域における第2絶縁層18の厚さよりも小さくなる傾向がある。CMP後の第2絶縁層18表面上に、ビア孔パターンの開口を有するホトレジスト層21を形成する。ホトレジスト層21は、ウエハ有効領域でのみビア孔パターンを有し、ウエハ周辺部には開口を有さない。

【0071】図4(B)に示すように、ホトレジスト層21をエッチングマスクとし、第2絶縁層18をCF系ガス等を用いたRIEによりエッチングし、第2エッチングストップ層17表面でエッチングを停止させる。ウエハ周辺部にはビア孔が存在しないため、第2絶縁層18はそのまま残る。その後 O_2 ガスプラズマを用いたアッシングにより、ホトレジスト層21を除去する。ホトレジスト層を除去した後、ビア孔底面に露出した第2エッチングストップ層17をCHF系エッチングガス等を用いたRIEにより除去する。

【0072】図4(C)に示すように、ビア孔を形成した半導体ウエハ表面上に、第2バリアメタル層51、第2主配線層52をスパッタリング、メッキ等により形成する。その後、第2絶縁層18表面上の不要な第2主配線層52、第2バリアメタル層51をCMPにより除去する。

【0073】図5(D)に示すように、CMPにより第2絶縁層18に埋め込んだ第2主配線層52、第2バリアメタル層51の表面を覆うように、第2絶縁層18表面上に第3エッチングストップ層19を形成し、その上に第3絶縁層20を形成する。第3絶縁層20表面上に、配線パターンの開口を有するホトレジスト層23を形成する。ホトレジスト層23は、ウエハ有効領域で配線パターンの開口を有すると共に、ウエハ周辺部では配

13

線としては用いられない導電体パターンの開口を有する。

【0074】ホトレジスト層23をエッチングマスクとし、第3絶縁層20をRIEによりエッチングする。

【0075】図5(E)に示すように、ウエハ有効領域に配線パターン溝、ウエハ周辺部に導電体パターン溝を形成した後、ホトレジスト層23をO₂ガスプラズマを用いたアッシングにより除去する。その後、溝内に露出した第3エッチングストッパ層19をCHF系エッチングガス等を用いたRIEにより除去する。

【0076】図5(F)に示すように、配線溝を形成した第3絶縁層20の上に、第3バリアメタル層24、第3主配線層25を形成する。その後、第3絶縁層20表面上に堆積した不要な第3主配線層25、第3バリアメタル層24をCMPにより除去する。

【0077】図6(G)に示すように、第3絶縁層20上の不要な第3主配線層25、第3バリアメタル層24を除去した後、第3主配線層25表面を覆うように第3絶縁層20上に第4エッチングストッパ層26を形成する。第3主配線層25が最上配線層の場合は、エッチングストッパ層に代え表面保護層を形成する。

【0078】このようにして、ウエハ有効領域にはビア導電体と配線パターンによるシングルダマシン構造を形成し、ウエハ端部にはビア導電体を有さず導電体パターンだけを有するシングルダマシン構造を形成する。

【0079】以上の実施例においては、エッチングストッパ層としてSiN、絶縁層として酸化シリコンを用いた。配線の付随容量を減少させるために、絶縁層に低誘電率の絶縁層を用いることができる。しかしながら、低誘電率の絶縁層は、一般的に密度が低く、液体やガスを透過させたり吸収する性質を有する。このため、低誘電率の絶縁層のみで多層配線の絶縁層を形成することは困難であり、酸化シリコン等の配線保護機能の強い絶縁層と組み合わせることが好ましい。

【0080】図7(A)～図9(I)は、低誘電率絶縁材料としてSiLK(ダウコーニング社の商標)等の炭化水素系塗布型有機絶縁膜を用いたダマシン配線構造の製造工程を示す。

【0081】図7(A)に示すように、前述の実施例同様の下地11の表面上に、炭化水素系塗布型有機絶縁膜41を例えば厚さ250nmスピンコートにより塗布し、400℃、30分程度の熱処理を行なって硬化させる。硬化した有機絶縁膜41の上に、例えば厚さ250nmの酸化シリコン層42を例えばプラズマCVDにより形成する。なお、酸化シリコン層と、塗布型有機絶縁層とは異なるエッチング特性を有し、その間にエッチングストッパ層を挿入しなくてもエッチングを制御することができる。

【0082】酸化シリコン層42の上に、配線パターンの開口を有するホトレジスト層14を形成する。ホトレ

14

ジスト層14は、ウエハ有効領域で配線パターンの開口を有すると共に、ウエハ周辺部では配線としては用いられない導電体パターンの開口を有する。

【0083】ホトレジスト層14をエッチングマスクとし、酸化シリコン層42をCF系エッチングガス等を用いたRIEによりエッチングする。次に、N₂系ガス、H₂系ガス等のプラズマを用いたエッチングにより、酸化シリコン層42をマスクとして有機絶縁膜41をエッチングする。このエッチングにおいて、ホトレジスト層14も除去される。

【0084】図7(B)に示すように、配線溝、導電体溝を形成した半導体ウエハ上に、第1バリアメタル層15、第1主配線層16を形成する。バリアメタル層15は、例えば厚さ50nmのTa層で形成し、主配線層16は、例えば厚さ1500nmのCu層で形成する。その後CMPを行ない、酸化シリコン層42表面上の不要な主配線層16、バリアメタル層15を除去する。

【0085】図7(C)に示すように、露出した第1主配線層16表面を覆うように、酸化シリコン層42表面上に第1エッチングストッパ層43を形成し、その上に第1絶縁層44を形成する。第1エッチングストッパ層は、例えば厚さ50nmのSiN層で形成し、第1絶縁層44は、例えば厚さ1200nmのSiO₂層で形成する。第1絶縁層44を形成した後、CMPを行なって表面を平坦化する。このCMPにより、ウエハ有効領域には残り膜厚約700nmの第1絶縁層44が残り、ウエハ周辺部においては例えば残り膜厚約300nmの第1絶縁層44が残る。

【0086】その後第1絶縁層44表面上に、有機絶縁膜45、第2絶縁膜46、金属層47を形成する。有機絶縁膜45は、例えば厚さ約250nmのSiLK膜で形成する。第3絶縁層46は、例えば厚さ250nmの酸化シリコン層で形成する。金属層47は、例えば厚さ100nmのTiN層で形成する。金属層47は、後にハードマスクを形成する層である。

【0087】金属層47の上に、配線パターン及び導電体パターンの開口を有するホトレジスト層23を形成する。ホトレジスト層23をエッチングマスクとし、Cl系エッチングガス等を用いたRIEにより、金属層47をエッチングする。その後、O₂ガスプラズマを用いたアッシングにより、ホトレジスト層23を除去する。

【0088】図8(D)に示すように、上に金属層47のパターンを有する第3絶縁層46表面上に、ホールパターンの開口を有するホトレジスト層21を形成する。ホールパターンは、ウエハ有効領域にのみ形成され、ウエハ周辺部には形成されない。

【0089】ホトレジスト層21をエッチングマスクとし、CF系エッチングガス等を用いたRIEにより、第2絶縁層46をエッチングし、その後第2絶縁層46をエッチングマスクとし、N₂系ガス、H₂系ガスをエッチ

10

20

30

40

50

15

ングガスとしたR I Eにより、有機絶縁膜45をエッチングする。この有機絶縁膜45のエッチング時に、ホトレジスト層21も除去される。

【0090】図8(E)は、このようにして得られる構造を示す。次に、金属層47をエッチングマスクとし、CF系ガスを用いたR I Eにより、露出した第2絶縁層46をエッチングすると共に、ホールパターン底面に露出した第1絶縁層44をエッチングする。

【0091】図8(F)は、このようにして得られる構造を示す。上部で露出している有機絶縁膜45をN₂系ガス、H₂系ガス等を用いたR I Eによりエッチングする。ビア孔用ホールの底面には第1エッチングストッパ層43が露出している。CHF系エッチングガス等を用いたR I Eにより、露出した第1エッチングストッパ層43を除去する。この2つのエッチング工程は、どちらを先にしても良い。

【0092】図9(G)は、このようにして得られた構造を示す。ウエハ有効領域のビア孔底面には第1主配線層16表面が露出している。ウエハ周辺部にはビア孔が存在せず、第1主配線層16表面は第1絶縁層44、第1エッチングストッパ層43により覆われている。

【0093】図9(H)に示すように、配線溝、導電体溝、ビア孔を形成した半導体ウエハ表面上に、第2バリアメタル層24、第2主配線層25を形成する。第2バリアメタル層24は、例えば厚さ50nmのTa層で形成し、第2主配線層25は、例えば厚さ1500nmのCu層により形成する。

【0094】その後CMPを行ない、第2絶縁層46表面上の不要な第2主配線層25、第2バリアメタル層24、金属層47を除去する。

【0095】図9(I)に示すように、露出した第2主配線層25を覆うように、第2絶縁層46表面にエッチングストッパ層26を形成する。最上配線層の場合は、エッチングストッパ層に代え表面保護膜を形成する。

【0096】このようにして、有機絶縁膜を用いた層間絶縁膜を有する配線構造を形成することができる。ウエハ有効領域においては、デュアルダマシン配線構造が形成され、ウエハ周辺部においては導電体パターンのみのシングルダマシン構造が形成される。

【0097】以上、多層配線層の一部を形成する製造工程を説明したが、多層配線層は任意の層数の配線層を有することができる。以下、多層配線の構成例を説明する。

【0098】図10は、多層配線構造を有する半導体ウエハ装置の構成を概略的に示す。左側にウエハ有効領域の構造を示し、右側にウエハ周辺部の構造を示す。ウエルを形成した半導体ウエハ1の所定領域に、素子分離用溝が形成され、酸化シリコン等の絶縁物が埋め込まれ、シャロートレンチアイソレーション(STI)4が形成されている。

16

【0099】STIで画定された活性領域上に、絶縁ゲート電極5、サイドウォールスペーサ6が形成され、その両側にソース/ドレイン領域S/Dがイオン注入により形成される。絶縁ゲート電極を覆うように、第1エッチングストッパ層s1が形成され、その上に第1下部絶縁層da1が形成される。第1下部絶縁層da1、第1エッチングストッパ層s1を貫通して、導電体プラグがバリアメタル層7、配線金属領域8により形成される。

【0100】なお、ウエハ周辺部にもコンタクト孔を形成し、プラグを埋め込む場合を図示したが、ウエハ周辺部にはプラグを形成しないようにしても良い。周辺部にもプラグを形成する場合は、直上の層間絶縁膜cd1、db1形成後、CMPによる平坦化は行わないことが好ましい。周辺部にはプラグを形成しない場合は、直上の絶縁膜cd1、db1形成後、CMPの平坦化を行ってもよい。

【0101】第1下部絶縁層da1の上に、有機絶縁膜cd1、第1上部絶縁層db1が形成される。有機絶縁膜が塗布型であれば平坦化機能を有するため、CMPを行なわなくても平坦な表面が得られる。第1上部絶縁層db1、有機絶縁膜cd1に配線溝を形成し、第1配線層9を埋め込む。

【0102】第1配線層9表面上に第2エッチングストッパ層s2が形成され、その表面上に第2下部絶縁層da2が形成される。第2下部絶縁層da2はCMPにより平坦化され、ウエハ有効領域では厚く、ウエハ周辺部では薄く残される。第2下部絶縁層da2の上に、第2有機絶縁膜cd2、第2上部絶縁層db2が形成され、ウエハ有効領域ではデュアルダマシン配線構造dd1、ウエハ端部では導電体パターンのみのシングルダマシン配線構造sd1が形成される。

【0103】同様、第2上部絶縁層db2の表面上に第3エッチングストッパ層s3、第3下部絶縁層da3が形成され、CMPにより平坦化される。その上に第3有機絶縁膜cd3、第3上部絶縁層db3が形成され、ウエハ有効領域では第2デュアルダマシン配線構造dd2、ウエハ端部では導電体パターンのみの第2シングルダマシン配線構造sd2が埋め込まれる。

【0104】さらに、第3上部絶縁層db3の上に、第4エッチングストッパ層s4、第4下部絶縁層da4が形成され、CMPにより平坦化される。第4下部絶縁層da4の上に、第4有機絶縁膜cd4、第4上部絶縁層db4が形成され、ウエハ有効領域では第3デュアルダマシン配線構造dd3、ウエハ端部では導電体パターンのみの第3シングルダマシン配線構造sd3が形成される。これらの配線の表面には、表面保護膜cvが形成される。

【0105】なお、4層の多層配線構造を形成する場合を説明したが、配線層の数は任意に増減することができる。又、有機絶縁膜と上部絶縁層との積層の代りに、エ

17

ッチングストップ層と絶縁層との積層を用いてもよい。弗素や炭素を含む酸化シリコン層や多孔質酸化シリコン層等の低誘電率絶縁層を含む積層絶縁層を用いることもできる。層間絶縁膜として、他の構成を用いることもできるのは当業者に自明であろう。

【0106】層間絶縁膜の一部にS i L K等の塗布型有機絶縁膜を用いると、新たな問題が生じ得ることが判った。塗布型絶縁膜やホトレジスト層は、ウエハ端部でウエハ中央部と異なる厚さを有したり、ウエハ搬送工程でカセット等に接触すると付着を生じたりする。このため、塗布膜を形成したときは、一般的にウエハ端部の塗布膜をリンスや周辺露光により除去する。図11(A)～(D)を参照して説明する。

【0107】図11(A)に示すように、下地111の上に、例えばS i L Kで形成された有機絶縁膜112を厚さ250nm塗布する。下地111は、たとえば、図10の第1下部絶縁層d a 1に導電プラグを埋め込んだ構成である。但し、ウエハ端部においては、導電プラグは形成しない。ウエハ周辺部に着いた塗布材料をエッチング材料のリンス等でウエハ端から3mm±0.5mm程度除去する。次に、例えば厚さ250nm程度の酸化シリコン層からなる絶縁層113をCVDにより堆積し、有機絶縁層112全面を覆う。

【0108】絶縁層113の上に、配線パターンの開口を有するホトレジスト層114を形成する。ホトレジスト層114の周辺部をウエハ端から5mm±0.5mm程度除去する。

【0109】ホトレジスト層114をエッチングマスクとし、CF系エッチングガス等を用いたR I Eにより、絶縁層113をエッチングする。次に、パターニングされた絶縁層113をエッチングマスクとし、H₂系、N₂系のエッチングガス等を用いたR I Eにより、有機絶縁層112をエッチングする。この時、ホトレジスト層114も同時にエッチングされる。エッチングされた配線溝(導電体パターン用溝を含む)には、有機絶縁層112の側面が露出される。同時に、最外側の有機絶縁層112の外側側面も露出される。

【0110】半導体ウエハに、H₂/N₂雰囲気中400℃の常圧アニールを加え、露出した有機絶縁層等の吸着物を除去する。

【0111】図11(B)に示すように、配線溝を埋め込むようにバリア金属層、主配線層からなる配線層115を形成する。例えば、厚さ1500nmのCu層を主配線層として用いる。

【0112】図11(C)に示すように、絶縁層上に堆積した不要な配線層をCMPにより除去する。このCMPにおいて、ウエハ周辺部はウエハ中央部よりも強くオーバーポリッシュされ、最外側の絶縁層外側の配線層は除去される。なお、CMPの研磨レートは、圧力分布、スラリー中の薬液に対する化学的エッチレートなどにより

18

定まる。一般的にウエハ中央部と較べてウエハ周辺部において研磨速度は高くなりやすい。

【0113】ウエハ端部においては、有機絶縁層112の側面が露出しているため、ここにCMPで用いられるスラリー等の薬液の水分、大気中の有機成分などが付着する。後処理等でHF系の薬液を用いる場合には、下地111と有機絶縁層112の界面等に薬液が染みこむ可能性もある。

【0114】図11(D)に示すように、Cuの拡散防止、その後のエッチングにおけるエッチングストップ、酸素遮蔽等の機能を有するエッチングストップ層116を配線層115の表面を覆うように形成する。例えば、厚さ50nmの窒化シリコン層をエッチングストップ層116として形成する。

【0115】ここで、窒化シリコン層の成膜にNH₃系ガス、S i H₄系ガス等の混合ガスを用いると、有機絶縁層112の露出した表面はエッチングされたり変質を起こすことがある。窒化シリコン層堆積前にCu配線表面の酸化物を還元する目的でNH₃ガスプラズマを用いる場合にも、同様のエッチングや変質が生じる可能性がある。

【0116】有機絶縁層112やその界面に水分、有機物等が付着していると、その後行なわれる絶縁膜成膜プロセス、熱処理等において有機絶縁層112から脱ガスが生じ、界面の密着性が低下して膜剥れが生じる可能性がある。膜剥れが生じると、剥れた膜がウエハ中央部に及び、欠陥率上昇の原因となる。

【0117】このように、有機絶縁膜がウエハ端部で露出すると、その部分で水分、有機成分等の吸着が生じ、後に続く熱処理工程などにおいて界面剥れを生じたり、配線層を覆う拡散防止兼エッチングストップ膜の成膜ガスによりエッチングされたり、変質層を形成したりし、ウエハ周辺での欠陥率増加、膜剥れによるパーティクル発生の原因となり、2次的にウエハ有効領域の半導体装置の欠陥率を高くする原因となる。

【0118】図12(A)～(D)は、このような欠点を解決する本発明の実施例による半導体ウエハ装置の製造方法の主要工程を示す。図13(A)～(D)は、図12(A)～(D)の工程を平面的に説明する平面図である。

【0119】図12(A)に示すように、図11(A)の構成同様の下地111の上に、厚さ250nm程度のS i L K等で形成された有機絶縁膜112を塗布する。ウエハ周辺部に塗布された有機絶縁層112をエッチング剤でウエハ端部から5mm±0.5mm程度除去する。

【0120】図13(A)は、図12(A)の工程において有機絶縁層112が半導体ウエハ101の端部から一定距離後退させられた状態を示す。

【0121】次に有機絶縁層112を覆うように、例え

19

ば厚さ250nmの酸化シリコン層で形成された絶縁層113を、CVDにより堆積する。絶縁層113表面上に、配線パターンの開口を有するホトレジスト層114を形成する。ホトレジスト層は、ウエハ有効領域で配線パターンの開口を有すると共に、ウエハ端部においては導電体パターンの開口を有する。導電体パターンの開口は、下方に有機絶縁層112が存在する領域から存在しない領域にまで分布する。

【0122】又、ウエハ端部においては、ホトレジスト層114がウエハ端から3mm±0.5mm除去される。なお、ホトレジスト層の除去は、レジスト剥離剤を用いて行なっても、露光現象を介して行なっても良い。これらを含めて周辺露光によるレジスト端部の除去と呼ぶ。

【0123】図13(B)は、有機絶縁層112の側面を覆って絶縁層が形成され、その上に絶縁層をエッチングするホトレジスト層114が形成された状態を示す。ホトレジスト層114の外周は、有機絶縁層112よりも外側にある。

【0124】ホトレジスト層114をエッチングマスクとし、CF系ガス等を用いたRIEにより、絶縁層113をエッチングする。ウエハ端部においては、有機絶縁層112が存在しない領域があり、下地111が酸化シリコン層等の場合下地111表面もエッチングされる可能性があるが、回路を構成しない領域のため問題は無い。

【0125】パターンニングした絶縁層113をエッチングマスクとし、有機絶縁層112をH₂系、N₂系等のエッチングガスを用いたRIEによりエッチングする。このエッチングにおいて、ホトレジスト層114も同時に除去される。形成された配線溝下部には、有機絶縁層112の側面が露出する。

【0126】半導体ウエハに、例えば400℃のH₂/N₂雰囲気中での常圧アニールを加え、露出した有機絶縁層112表面の吸着物を除去する。

【0127】図12(B)に示すように、配線溝を埋め込むように、配線材料層115を半導体ウエハ上に形成する。例えば、厚さ1500nmのCu層を主配線層として用いる。なお、成膜後の配線層115を、ウエハ端部から例えば約1.0mm±0.5mm程度除去しても良い。CMP時に剥れを起こす可能性が減少する。

【0128】図13(C)は、配線材料層115を成膜した状態を示す。配線材料層115は、半導体ウエハ111の端部からわずかに後退した位置まで存在し、有機絶縁層112、絶縁層113よりも外側まで存在している。

【0129】図12(C)に示すように、半導体ウエハ表面にCMPを行ない、絶縁層113表面上に堆積した配線材料層115を除去する。配線溝(導電体溝)内に配線材料層115が残る。なお、有機絶縁層112はそ

20

の全面が絶縁層113で覆われており、CMPによって露出しない。ウエハ端部に配線材料層が残ってもよい。

【0130】図13(D)は、CMP後の状態を示す。CMP後においても、有機絶縁層112は絶縁層113で覆われた状態である。

【0131】図12(D)に示すように、配線層115を埋め込んだ絶縁層113表面を覆うように、拡散防止兼エッチングストップ層116を形成する。例えば厚さ約50nmの窒化シリコン層をエッチングストップ層116として形成する。エッチングストップ層116形成時にNH₃ガスを用いても、有機絶縁層112の表面は露出していないため、有機絶縁層に変質やエッチングが生じることが無い。

【0132】なお、下地111として図5(D)に示すビア導電体51、52を絶縁層118に埋めこんだ構成を用いてもよい。その上のエッチングストップ層119は、必要に応じて設ける。エッチングストップ層119を用いた時は、図12(A)の有機絶縁層のエッチング工程に続いて、エッチングストップ層を除去するエッチング工程を行なう。

【0133】誘電率の低い絶縁層として、SiLKの代りにポーラスSiLK、水素シルセスキオキサン樹脂(HSQ)等の無機シリコン化合物、ポーラス無機シリコン酸化膜等の塗布型絶縁層を用いることもできる。

【0134】又、酸化シリコンよりも低い誘電率を実現できる絶縁膜として弗素添加酸化シリコン、シリコンオキシカーバイド等を用いることもできる。これらの無機及び有機酸化シリコン膜は、CVD等により形成することができる。CVDにより誘電率の低い無機絶縁層を形成した場合の変形例を図14(A)~(C)に示す。

【0135】図14(A)に示すように、下地111上に、例えば厚さ250nmの弗素添加酸化シリコン層121をCVDにより成膜する。弗素添加酸化シリコン層121表面上に、ホトレジスト層122を形成し、ウエハ端部を周辺露光により除去する。周辺露光は、例えばウエハ端より5mm±0.5mm程度とする。

【0136】このようにして形成したホトレジスト層122をエッチングマスクとし、その下のフッ素添加酸化シリコン層121をHF系エッチャントにより除去する。その後、ホトレジスト層122は除去する。

【0137】なお、ホトレジストマスクを形成しなくても、ウエハ端部の弗素添加酸化シリコン層121をノズルからエッチャントを滴下する方法などにより除去することもできる。

【0138】図14(C)に示すように、端部を除去した弗素添加酸化シリコン層121を覆うように、下地111上に酸化シリコン層等の絶縁層123を形成する。

【0139】その後、絶縁層123の上にホトレジストパターンを形成し、図12(A)に示す工程と同様の工程を行なえば良い。

21

【0140】塗布型の有機、無機絶縁膜の上に、弗素添加酸化シリコン層を成膜することも可能である。誘電率が比較的低い弗素添加酸化シリコン層を用いると、そのままでは吸湿性が高い。弗素含有量の少ない弗素酸化シリコン層を用いたり、膜中に窒素等を導入する等の対策を施すこともできる。さらに、窒化シリコン層を成膜する前に、脱ガス処理等の処理を行ない、表面に吸着した不純物を取り除くこともできる。例えば、200℃、30分程度の熱処理を行なうことができる。

【0141】なお、配線層形成前に有機絶縁層最外側面が露出している、その上に形成した配線層がCMPにより完全に除去されず、有機絶縁層が覆われた状態を保てば、膜剥がれなどを防止することができる。

【0142】図15(A)～(D)は、本発明の他の実施例による半導体ウエハ装置の製造工程を示す。図16(A)～(D)は、図15の製造工程における複数の膜の分布領域を示す平面図である。

【0143】図15(A)に示すように、下地111の表面上に、厚さ250nmのSiLK等により形成された有機絶縁層112を形成する。有機絶縁層112の端部は、ウエハ端から例えば3mm±0.5mmエッチャントによるリンスにより除去する。

【0144】図16(A)は、半導体ウエハ101の上に有機絶縁層112を形成した状態を示す。有機絶縁層112は、ウエハ端から所定距離後退した形状に形成されている。

【0145】次に、有機絶縁層112を覆うように、下地111上に厚さ約250nmの酸化シリコン層等により形成された絶縁層113をCVDにより形成する。絶縁層113表面上に、配線パターンの開口を有するホトレジスト層114を形成する。ホトレジスト層114は、ウエハ有効領域で配線パターンの開口を有すると共に、ウエハ端部においては配線とならない導電体パターンの開口を有する。

【0146】ホトレジスト層114は、例えばウエハ端部から5mm±0.5mm周辺露光により除去する。その後、ホトレジスト層114をエッチングマスクとし、CF系エッチャントガス等を用いたRIEにより絶縁層113をエッチングする。

【0147】図16(B)は、有機絶縁層112の上に、絶縁層113を形成し、その上にホトレジスト層114を形成した状態を示す。絶縁層113は、ホトレジスト層114をエッチングマスクとしてエッチングされるため、ホトレジスト層114と同一の平面形状に加工される。

【0148】続いて、パターニングした絶縁層113をエッチングマスクとし、有機絶縁層112をH₂系、N₂系エッチャントガス等を用いたRIEによりエッチングする。このエッチングにおいてホトレジスト層114も同時に除去される。ウエハ端部においては、周辺露光さ

22

れた領域に有機絶縁層112が露出した最外側面が形成される。

【0149】図12の説明と同様に、下地111が酸化シリコンの場合にはウエハ端部の右端部の有機絶縁層112がない領域にエッチング段差が生じる場合があるが、回路を構成しない領域でもあるため、特に問題とはならない。

【0150】半導体ウエハに、例えば400℃、H₂/N₂雰囲気中の常圧アニールを行ない、露出した有機絶縁層112の吸着物を除去する。

【0151】図15(B)に示すように、パターニングされた絶縁層113、有機絶縁層112の溝を埋め戻すように、配線材料層115を形成する。例えば、厚さ約1500nmのCu層を主配線層として形成する。この時、ウエハ端部においては配線層をより厚く、例えば2000nm～2500nmの厚さまで形成する。

【0152】前述の実施例同様、ウエハ端部でも配線層の剥離を防止するため、ウエハ端より1mm±0.5mm程度配線層115を除去してもよい。

【0153】図16(C)は、絶縁層113を覆うように配線材層115を形成した状態を示す。配線材層115は、絶縁層113を覆う形状に形成されている。

【0154】図15(C)に示すように、絶縁層113上に堆積した不要な配線層を除去するために、CMPを行なう。配線層115は、絶縁層113、有機絶縁層112に形成された溝内にのみ残る。

【0155】ウエハ端部においては、配線層115を厚く形成したため、CMPを行なっても絶縁層113、有機絶縁層112最外側面上の配線層115は残っている。このため、有機絶縁層112が露出する所が無い。

【0156】また、先に成膜した配線層115が周辺露光位置よりさらにウエハ内側で厚くなる場合には、場合により絶縁層113上に配線層115が残る可能性があるが、特に問題とはならない。

【0157】図16(D)は、CMP後の形状を示す。ウエハ中央部に有機絶縁層112、絶縁層113を含む領域が形成され、その外側領域に配線材層115のみが残されている。絶縁層113下方の有機絶縁層112側面は、完全に配線材層115により覆われている。

【0158】図15(D)に示すように、CMP後の配線層の表面を覆うように、例えば厚さ50nmの窒化シリコン層で形成されたエッチングストップ層116をCVDにより形成する。窒化シリコン層作成のためにNH₃ガス等を用いても、有機絶縁層112は露出していないため変質等が生じる恐れは無い。

【0159】なお、SiLKの代りに、ポーラスSiLK、他の有機絶縁層を用いても良い。又、有機絶縁層の代りに、HSQ等の無機塗布型絶縁層や酸化シリコンよりも誘電率が低い他の無機絶縁層を用いることもできる。

23

【0160】ウエハ端部の絶縁層を有機絶縁層と共に除去し、一旦有機絶縁層の最外側面を露出した後導電体層で覆う場合を説明したが、図12(A)、図14(C)に示すように、有機絶縁層を絶縁層で覆った構成を形成した後、さらに有機絶縁層の最外側面外側に導電体層を残すようにしてもよい。

【0161】弗素添加酸化シリコン層、シリコンオキシカーバイト層等を用いた場合には、異方性エッチングを行なった後に表面吸着物を取り除く処理を施すことが好ましい。

【0162】図16(E)～(G)は、塗布型絶縁層の代りに弗素添加酸化シリコン層を用いた場合の工程を示す。

【0163】図16(E)に示すように、下地111上に弗素添加酸化シリコン層121をCVDにより形成する。

【0164】弗素添加酸化シリコン層121の表面上にホトレジスト層122を形成し、周辺露光によりウエハ端部を $3\text{mm} \pm 0.5\text{mm}$ 程度除去する。

【0165】ホトレジスト層122をエッチングマスクとし、弗素添加酸化シリコン層121をHF等にてエッチングする。その後ホトレジスト層122は除去する。

【0166】図16(F)は、このようにして得られた弗素添加酸化シリコン層121の形状を示す。なお、ホトレジストによるマスクを用いなくても、HF等を用いた周辺部のエッチングにより弗素添加酸化シリコン層をウエハ端部でのみ除去しても良い。

【0167】図16(G)に示すように、弗素添加酸化シリコン層121を覆うように下地111上に酸化シリコン層等の絶縁層123を形成し、その上に配線パターンの開口を有するホトレジスト層124を形成する。その後、図15(A)に示す工程と同様の工程を行なえば良い。

【0168】図17(E)～図19(L)は、図15(D)の工程に続いて、図7(A)～図9(I)に示すようなデュアルダマシン配線を形成する場合の工程を示す断面図である。

【0169】図17(E)に示すように、エッチングストッパ層116の上に、厚さ約 1200nm の SiO_2 層で形成された絶縁層44をCVDにより堆積する。絶縁層44堆積後、CMPを行なって表面を平坦化する。CMPにより、ウエハ有効領域での残り膜厚は例えば約 700nm となり、ウエハ端部での残り膜厚は例えば約 300nm となる。

【0170】CMP後、絶縁層44の上に SiLK 等で形成された有機絶縁膜45を例えば厚さ 250nm 塗布する。塗布後、有機絶縁膜45をウエハ端部から一定幅除去する。熱処理を行なって有機絶縁膜45を硬化させる。有機絶縁膜45の上に、厚さ約 250nm の SiO_2 層等で形成された絶縁層46をCVDにより形成す

24

る。絶縁層46の上に、例えば厚さ 100nm の TiN 層で形成された金属層47を成膜する。

【0171】金属層47の上に、レジストパターン23を形成する。レジストパターンは、ウエハ端部から一定距離、例えば $5\text{mm} \pm 0.5\text{mm}$ 、周辺露光で除去する。レジストパターン23には配線溝の開口を形成する。レジストパターン23をエッチングマスクとし、金属層47をエッチングする。その後レジストパターン23は除去する。

【0172】図17(F)に示すように、パターニングした金属層47を覆うように、絶縁層46の上に新たなレジストパターン21を形成する。レジストパターン21は、ウエハ有効領域でビア孔の開口を有する。レジストパターン21をエッチングマスクとし、絶縁層46をCF系エッチングガス等を用いてエッチングする。

【0173】図17(G)に示すように、絶縁層46をエッチングマスクとし、有機絶縁層45を H_2 系、 N_2 系ガス等を用いてエッチングする。このエッチングにおいて、レジストパターン21も除去される。ウエハ有効領域においては、ビア孔の底面に絶縁層44が露出する。

【0174】図18(H)に示すように、金属層47、有機絶縁層45をエッチングマスクとし、絶縁層46、44をエッチングする。ウエハ有効領域において、エッチングストッパ116が露出し、ウエハ周辺部においては有機絶縁層45が露出した状態でエッチングを停止する。有機絶縁層45が除去されているウエハ端部では絶縁層46、44がエッチングされる。この領域ではオーバーエッチングが生じて問題ない。

【0175】図18(I)に示すように、エッチングガスを H_2 系、 N_2 系に変更し、金属層47および絶縁層46をエッチングマスクとし、有機絶縁層45のエッチングを行なう。このようにして、配線溝が形成される。

【0176】図18(J)に示すように、CHF系エッチングガス等を用い、ビア孔底面に露出したエッチングストッパ層116をエッチングし、下層配線表面を露出させる。

【0177】図19(K)に示すように、配線溝、ビア孔を形成した層間絶縁膜構造の上に、バリア層、主配線層の配線層25を堆積する。

【0178】図19(L)に示すように、配線層を表面からCMPによって研磨し、配線層25、金属層47を除去する。この時、ウエハ端部においては、配線層25が有機絶縁層45の側面を覆った状態で研磨が終了する。配線層25の表面を覆うように、例えば厚さ 50nm の SiN 層で形成されたエッチストッパ層または表面保護層26を成膜する。

【0179】有機絶縁層の最外側面を導電体層で覆ってデュアルダマシン配線構造を作成する場合を説明したが、図12(A)、図14(C)に示すように有機絶縁層の最外側面を絶縁層で覆ってデュアルダマシン配線構

25

造を形成することもできることは当業者に自明であろう。

【0180】以上実施例により本発明を説明したが、本発明はこれらに制限されるものではない。例えば、図11以下の実施例においてウエハ端部に導電体パターンのみを含むシングルダマシン構造を形成したが、これを省略しても低誘電率絶縁層の最外側面をCMPの雰囲気から保護する効果は得られる。その他、種々の変更、改良、組み合わせが可能な事は当業者に自明であろう。

【0181】以下、本発明の特徴を付記する。

【0182】（付記1） 中央部に配置された回路領域と、周囲に配置され、回路を構成しない周辺領域とを有する半導体ウエハと、前記回路領域に形成された多数の半導体素子と、前記回路領域上に形成され、前記半導体素子と接続された多層配線と層間絶縁膜とを含む多層配線構造であって、多層配線の少なくとも一部は、層間絶縁膜に埋め込まれた配線パターンとビア導電体とを含むダマシン配線である多層配線構造と、前記周辺領域上に形成され、前記層間絶縁膜に相当する絶縁膜と該絶縁膜に埋め込まれ、前記配線パターンに対応する導電体パターンを有し、前記ビア導電体に対応する導電体パターンは有さない多層構造と、を有する半導体ウエハ装置。

【0183】（付記2） 前記多層配線の少なくとも1層に対応する前記層間絶縁膜および前記絶縁膜は、第1エッチストップ層、第1絶縁層、第2絶縁層、第3絶縁層を含み、前記配線パターンおよび前記導電体パターンは、前記第3絶縁層および前記第2絶縁層を除去した溝内に配置され、前記ビア導電体は前記第1絶縁層および前記第1エッチストップ層を除去したホール内に配置されている付記1記載の半導体ウエハ装置。

【0184】（付記3） 前記第2絶縁層が第2エッチストップ層であり、前記第1絶縁層、前記第3絶縁層が酸化シリコン層で付記2記載の半導体ウエハ装置。

【0185】（付記4） 前記第2絶縁層が酸化シリコンよりも低誘電率の低誘電率絶縁層であり、前記第3絶縁層が前記第2絶縁層よりも高誘電率の絶縁層である付記2記載の半導体ウエハ装置。

【0186】（付記5） 前記回路領域に形成された配線パターンとビア導電体とは、前記溝、前記ホールの連続した内面を覆うバリアメタル層と、その内部を埋める酸化可能金属層とで形成されている付記2～4のいずれか1項記載の半導体ウエハ装置。

【0187】（付記6） 前記回路領域に形成されたビア導電体は、前記ホールの連続した内面を覆うバリアメタル層と、その内部を埋める酸化可能金属層とで形成され、前記配線パターンは前記溝の連続した内面を覆うバリアメタル層と、その内部を埋める酸化可能金属層とで形成されている付記2～4のいずれか1項記載の半導体ウエハ装置。

【0188】（付記7） 前記第2絶縁層は前記ウエハ

26

端部で除去されており、その最外側面を覆って前記第3絶縁層が形成されている付記4記載の半導体ウエハ装置。

【0189】（付記8） 前記第2絶縁層は前記ウエハ端部で除去されており、その最外側面を覆って前記配線パターン、前記導電体パターンと同一の導電体層が形成されている付記4記載の半導体ウエハ装置。

【0190】（付記9） 前記多層配線構造は、前記第1エッチストップ層の下に酸化可能金属を用いた下層配線パターンを有する付記2～8のいずれか1項記載の半導体ウエハ装置。

【0191】（付記10） （a）回路領域に半導体素子を形成した半導体ウエハ上に前記半導体素子に接続された下層配線パターンを形成する工程と、（b）前記下層配線パターンを覆って前記半導体ウエハ上に表面を平坦化した層間絶縁膜を形成する工程と、（c）前記回路領域上で前記下層配線パターンに接続されたビア導電体とその上に配置された配線パターンとを、前記回路領域外の周辺領域上で前記配線パターンに対応する導電体パターンを、前記層間絶縁膜に埋め込んで形成する工程と、を含み、前記導電体パターンは電気的に分離された状態で形成される、半導体ウエハ装置の製造方法。

【0192】（付記11） 前記工程（b）は、第1エッチストップ層、表面を平坦化した第1絶縁層、第2絶縁層、第3絶縁層を順次積層する工程を含み、前記工程（c）は、（c-1）前記第3絶縁層と前記第2絶縁層とを選択的に除去して前記回路領域上に配線パターン溝を、回路領域外の周辺領域に導電体パターン溝を形成する工程と、（c-2）前記配線パターン溝の底面から前記下層配線パターンに達するホールを前記回路領域の前記第1絶縁層、前記第1エッチストップ層を貫通して形成する工程と、（c-3）前記配線パターン溝、前記ホール、前記導電体パターン溝内に導電体を埋め込む工程と、を含む付記10記載の半導体ウエハ装置の製造方法。

【0193】（付記12） 前記工程（b）は、（b-1）第1エッチストップ層と第1絶縁層とを積層する工程と、（b-2）前記第1絶縁層を研磨してその表面を平坦化する工程と、（b-3）平坦化した表面上に、第2絶縁層と第3絶縁層とを積層する工程と、を含み、前記工程（c）は、（c-1）前記工程（b-2）の後、前記回路領域の前記第1絶縁層、前記第1エッチストップ層を貫通して前記下層配線表面を露出するホールを形成する工程と、（c-2）前記ホールにビア導電体を埋め込む工程と、（c-3）前記工程（b-3）の後、前記第3絶縁層、前記第2絶縁層を選択的に除去し、前記回路領域に前記ビア導電体表面を露出する配線パターン溝、前記回路領域外の周辺領域に導電体パターン溝を形成する工程と、（c-4）前記配線パターン溝、前記導電体パターン溝に導電体を埋め込む工程と、を含む付記10

27

記載の半導体ウエハ装置の製造方法。

【0194】(付記13) 前記工程(b)は、(b-1)エッチストップ層、第1絶縁層を積層する工程と、(b-2)前記第1絶縁層表面を平坦化する工程と、(b-3)平坦化した第1絶縁層の上に酸化シリコンより低誘電率の第2絶縁層、前記低誘電率よりも高い誘電率の第3絶縁層を積層する工程と、を含み、前記工程(c)は、前記第2絶縁層の最外側面を前記第3絶縁層または導電体が覆った形状を作成する工程と、を含む付記11記載の半導体ウエハ装置の製造方法。

【0195】(付記14) 前記工程(b)は、(b-1)酸化シリコンより低誘電率の第1絶縁層を形成する工程と、(b-2)半導体ウエハ端部上の前記第1絶縁層を除去する工程と、(b-3)前記第1絶縁層の最外側面を覆い、前記半導体ウエハ上に前記低誘電率より高い誘電率の第2絶縁層を形成する工程と、を含み、前記工程(c)は、前記第1絶縁層の最外側面を前記第2絶縁層または導電体が覆った形状を作成する付記11記載の半導体ウエハ装置の製造方法。

【0196】(付記15) (a)半導体ウエハを含む下地上に酸化シリコンより低誘電率の第1絶縁層を形成する工程と、(b)半導体ウエハ端部上の前記第1絶縁層を除去する工程と、(c)前記第1絶縁層の最外側面を覆って、半導体ウエハ上に第1絶縁層よりも誘電率の高い第2絶縁層を形成する工程と、(d)少なくとも前記第2絶縁層に配線溝を形成する工程と、(e)前記第2絶縁層上に導電体層を形成する工程と、(f)前記導電体層を研磨して、前記配線溝内に配線パターンを残すと共に、前記第1絶縁層の最外側面が前記第2絶縁層又は前記導電体層で覆われた形状を作成する工程と、を含む半導体ウエハ装置の製造方法。

【0197】(付記16) 前記工程(d)が、前記第1絶縁層最外側面を覆う前記第2絶縁層を残し、前記工程(f)が、前記第1絶縁層の最外側面を前記第2絶縁層覆う形状を残す付記15記載の半導体ウエハ装置の製造方法。

【0198】(付記17) 前記工程(d)が、前記配線溝の外側に前記第1絶縁層の最外側面を露出させ、前記工程(e)が、ウエハ端部で中央部より厚い導電体層を形成し、前記工程(f)が、前記第1絶縁層の最外側面を覆う導電体層を残す付記15記載の半導体ウエハ装置の製造方法。

【0199】(付記18) さらに、(g)前記工程(a)の前にエッチストップ層と、下部絶縁層とを形成する工程と、(h)前記下部絶縁層と前記エッチストップ層とを貫通し、前記配線溝に連続するビア孔を形成する工程と、を含む付記15から17のいずれか1項記載の半導体ウエハ装置の製造方法。

【0200】(付記19) さらに、(h)前記工程(g)の後、下部絶縁層を平坦化する工程を含み、前記

28

工程(e)、(f)がダマシン配線を形成する付記18記載の半導体ウエハ装置の製造方法。

【0201】(付記20) 前記低誘電率の第1絶縁層が、塗布型絶縁層、弗素または炭素を含む酸化シリコン層、多孔質絶縁層のいずれかである付記15から19のいずれか1項記載の半導体ウエハ装置の製造方法。

【0202】(付記21) 半導体ウエハを含む下地と、前記下地端部を除いて前記下地上に形成され、酸化シリコンより低誘電率の第1絶縁層と、前記第1絶縁層上に形成され、第1絶縁層よりも誘電率の高い第2絶縁層と、少なくとも前記第2絶縁層に形成された配線溝と、前記配線溝を埋める導電体のパターンと、前記第1絶縁層の最外側面を覆う前記第2絶縁層または前記導電体の層と、を有する半導体ウエハ装置。

【0203】

【発明の効果】以上説明したように、本発明によれば、半導体ウエハ端部における膜剥がれ等を防止し、ウエハ有効領域における歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体ウエハ装置の製造工程を説明する断面図及び平面図である。

【図2】 本発明の実施例による半導体ウエハ装置の製造工程を説明する断面図及び平面図である。

【図3】 本発明の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図4】 本発明の他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図5】 本発明の他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図6】 本発明の他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図7】 本発明のさらに他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図8】 本発明のさらに他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図9】 本発明のさらに他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図10】 以上の実施例により製造される半導体ウエハ装置の構成を概略的に示す断面図である。

【図11】 塗布形絶縁層を用いた場合に生じ得る問題を説明する断面図である。

【図12】 本発明の他の実施例による半導体ウエハ装置の製造工程を示す断面図である。

【図13】 図12の工程における平面構成を示す平面図である。

【図14】 図12の実施例の変形例を示す断面図である。

【図15】 本発明のさらに他の実施例による半導体ウエハ装置の製造工程を概略的に示す断面図である。

【図16】 図15の工程における半導体ウエハの平面

構成を示す平面図及び図15の実施例の変形例を示す断面図である。

【図17】 図15の工程に続く半導体ウエハ装置の製造工程を概略的に示す断面図である。

【図18】 図17の工程に続く半導体ウエハ装置の製造工程を概略的に示す断面図である。

【図19】 図18の工程に続く半導体ウエハ装置の製造工程を概略的に示す断面図である。

【図20】 従来技術による半導体ウエハ装置の製造工程を示す断面図である。

【図21】 ディッシング及びそれに伴う問題点を説明する半導体ウエハ装置の断面図である。

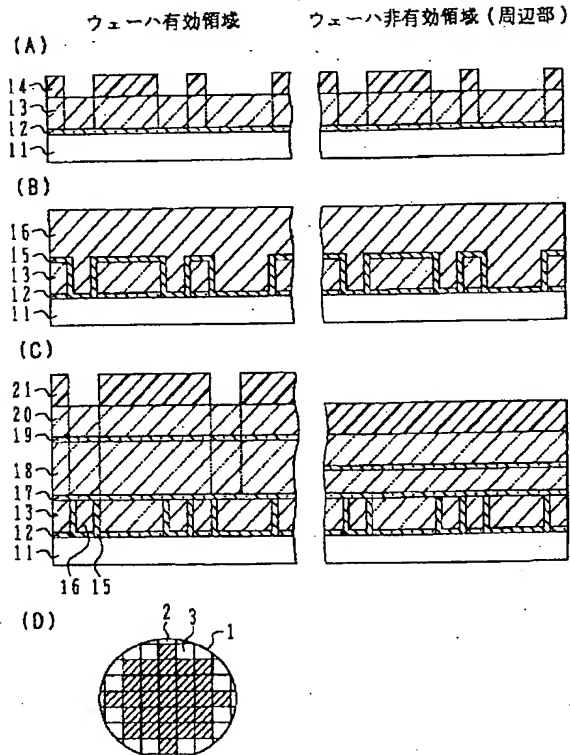
【図22】 従来技術による他の半導体ウエハ装置の製造工程を概略的に示す断面図である。

【符号の説明】

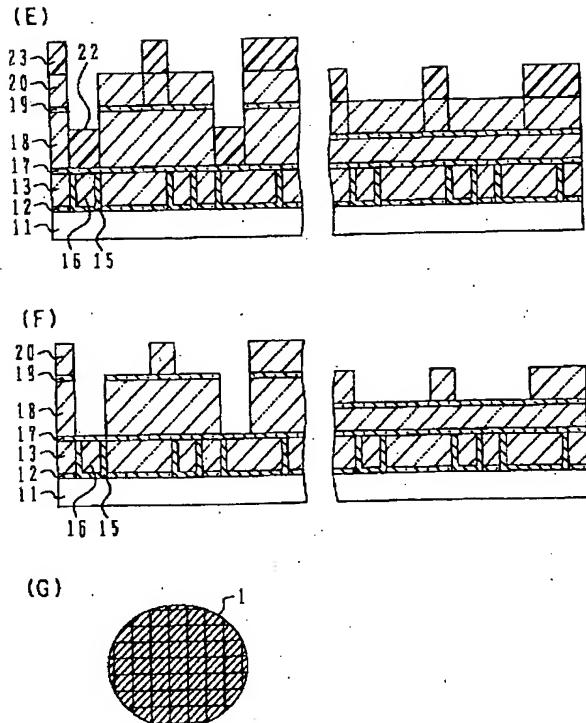
- 11 下地
- 12 エッチングストップパ層
- 13 絶縁層
- 14 ホトレジスト層
- 15 バリアメタル層
- 16 主配線層
- 17 エッチングストップパ層
- 18 絶縁層
- 19 エッチングストップパ層

- 20 絶縁層
- 21 ホトレジスト層
- 22 非感光性樹脂の詰物
- 23 ホトレジスト層
- 24 バリアメタル層
- 25 主配線層
- 26 エッチングストップパ層
- 41 塗布型有機絶縁層
- 42 絶縁層
- 43 エッチングストップパ層
- 44 絶縁層
- 45 塗布型有機絶縁層
- 46 絶縁層
- 47 金属層
- 111 下地
- 112 塗布型有機絶縁層
- 113 絶縁層
- 114 ホトレジスト層
- 115 配線材層
- 116 エッチングストップパ層
- 121 弗素添加酸化シリコン層
- 122 ホトレジスト層
- 123 絶縁層

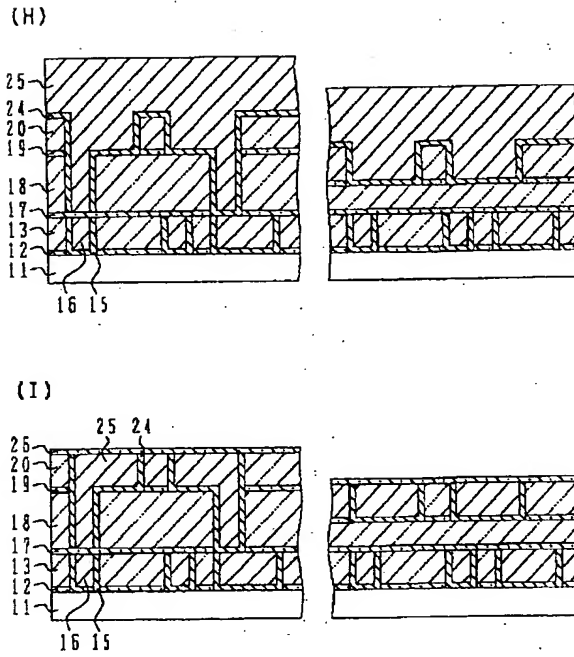
【図1】



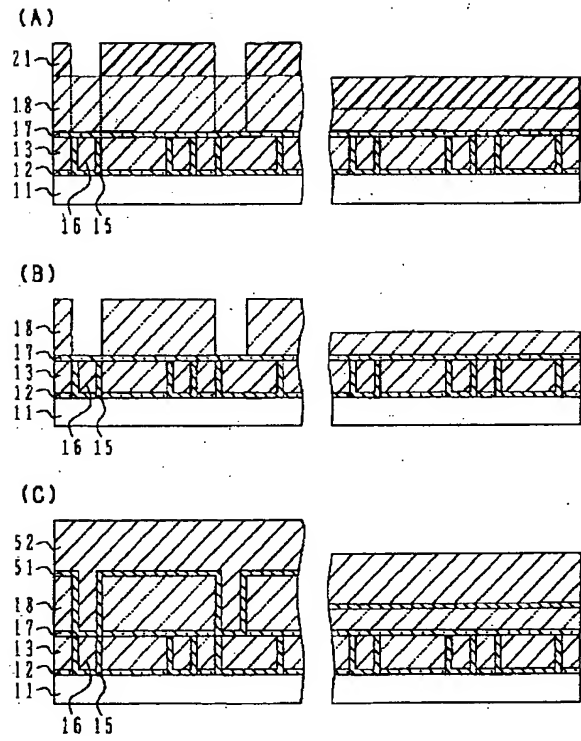
【図2】



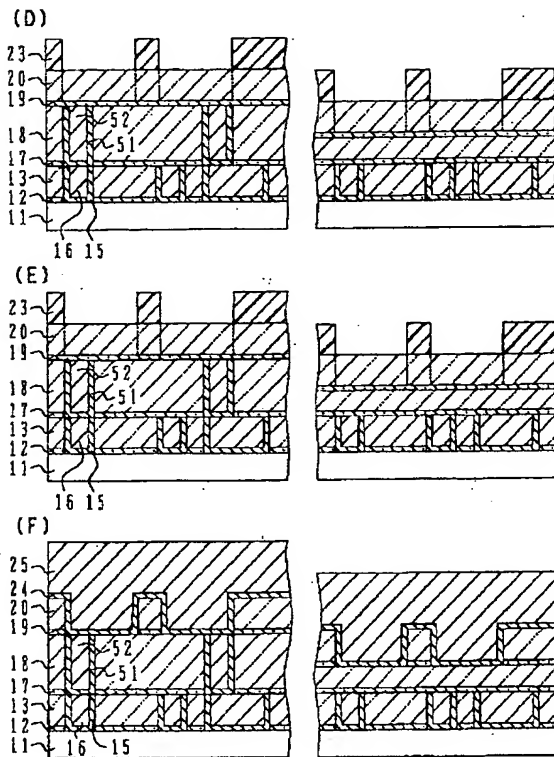
【図 3】



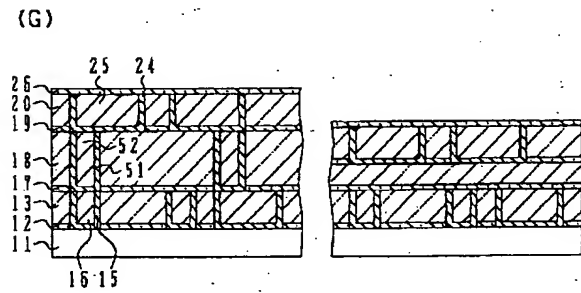
【図 4】



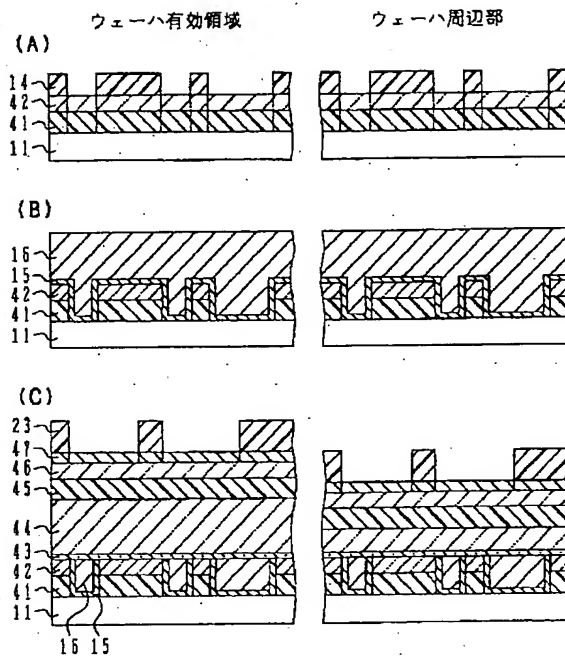
【図 5】



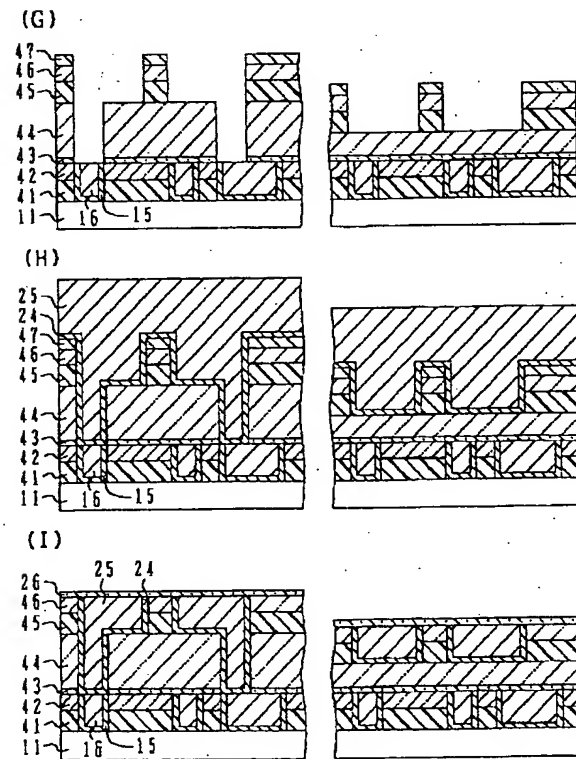
【図 6】



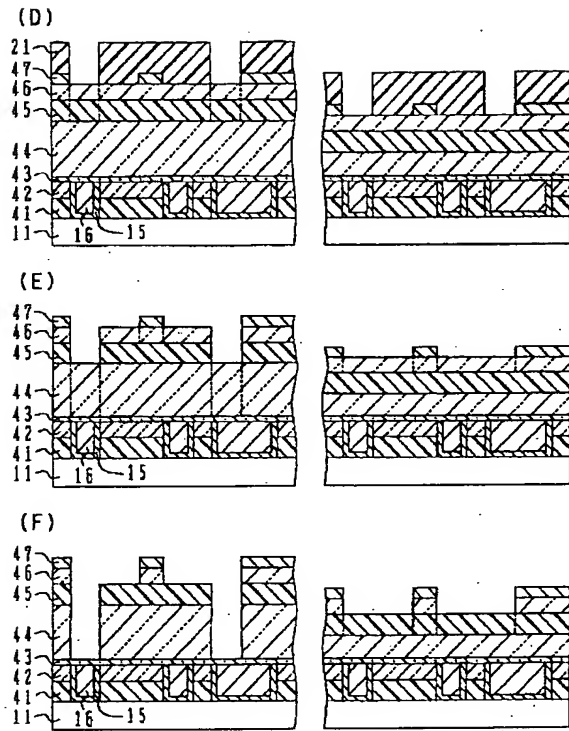
【図 7】



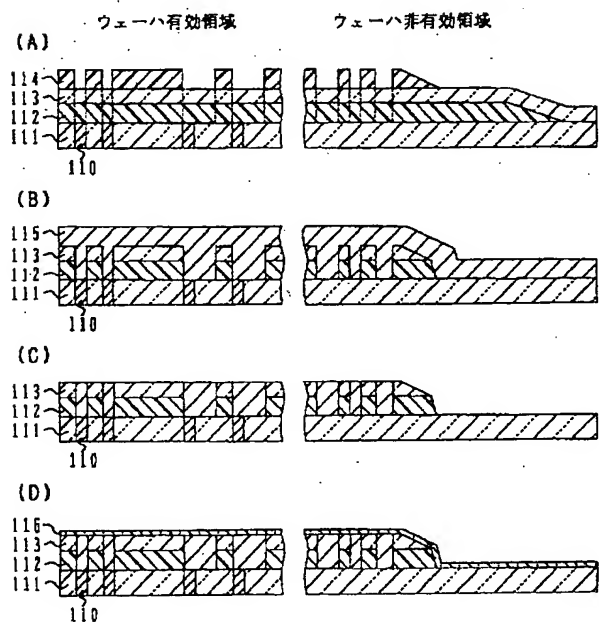
【図 9】



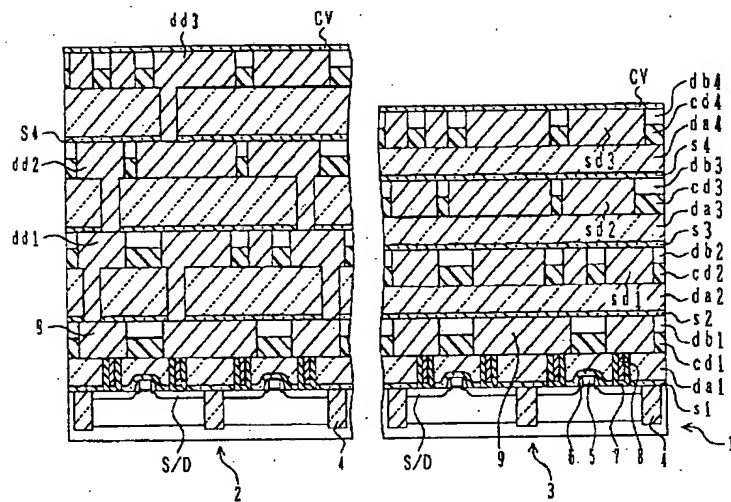
【図 8】



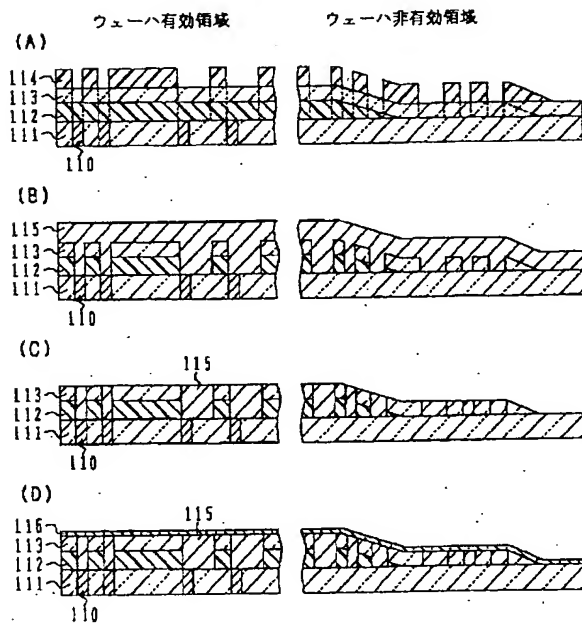
【図 11】



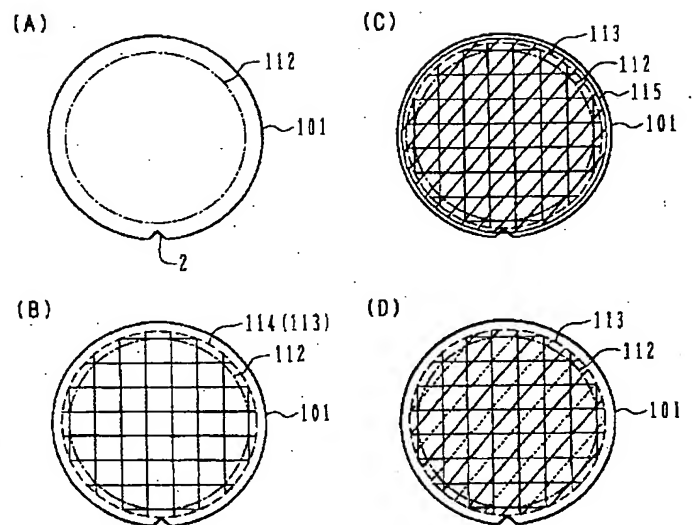
【図10】



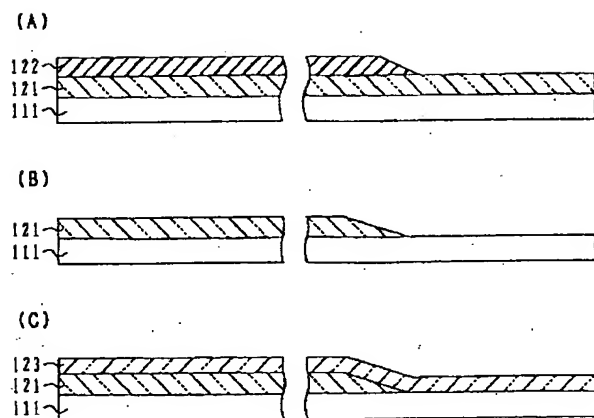
【図12】



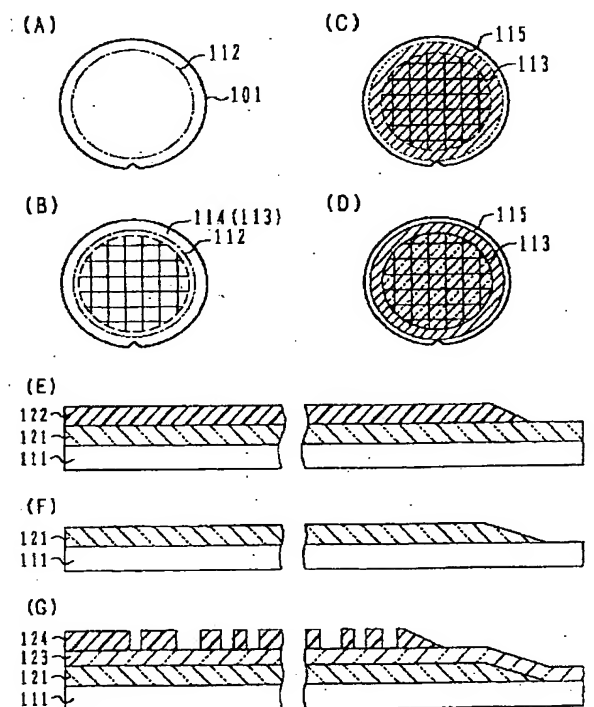
【図13】



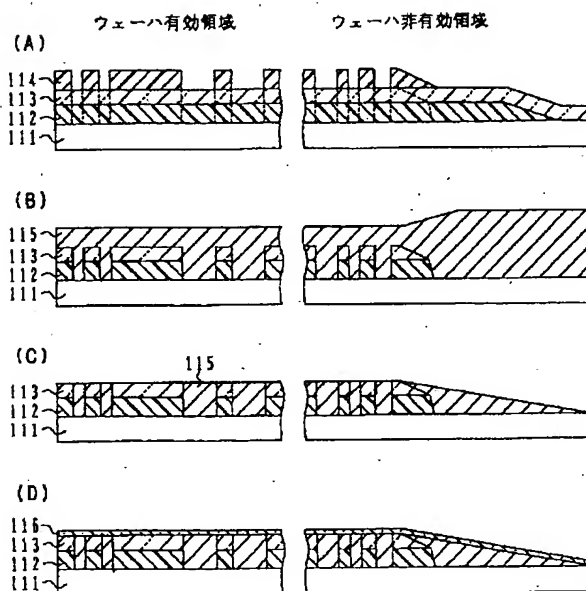
【図14】



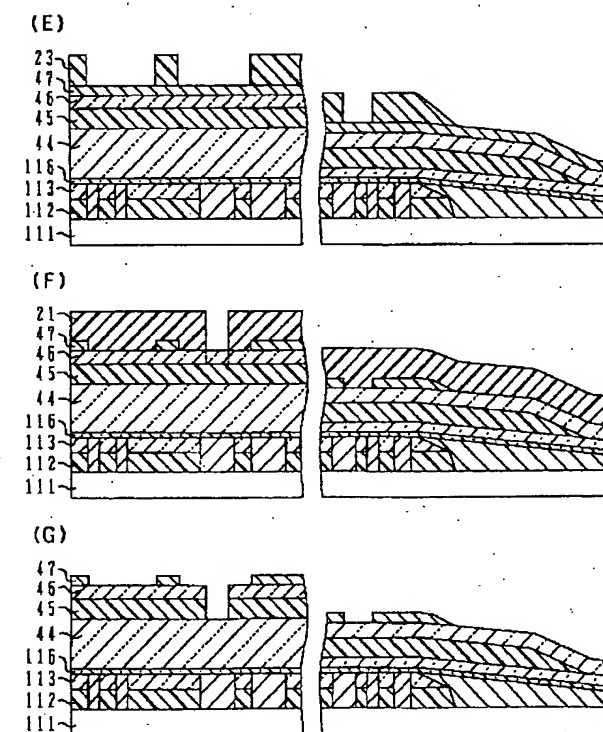
【図16】



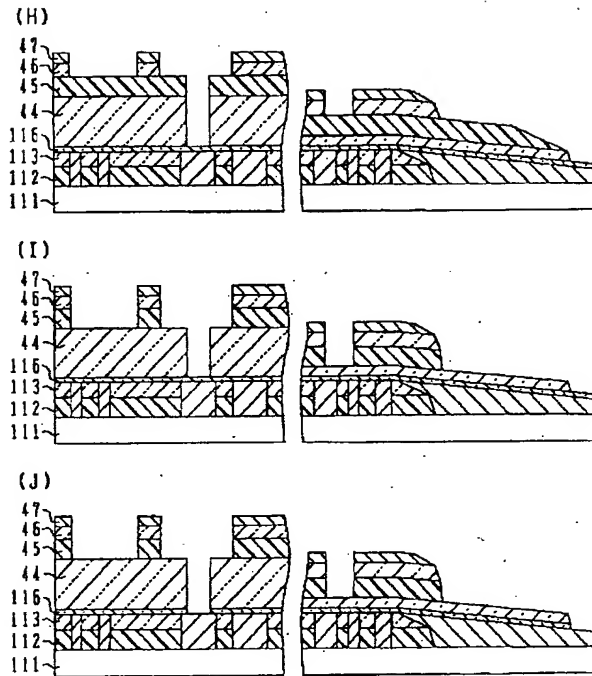
【図15】



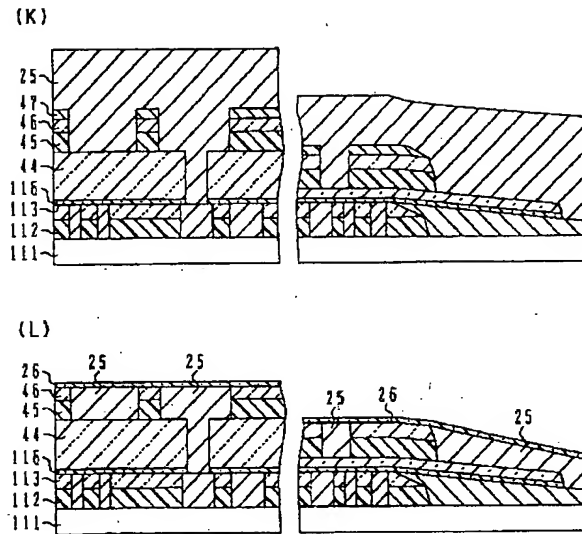
【図17】



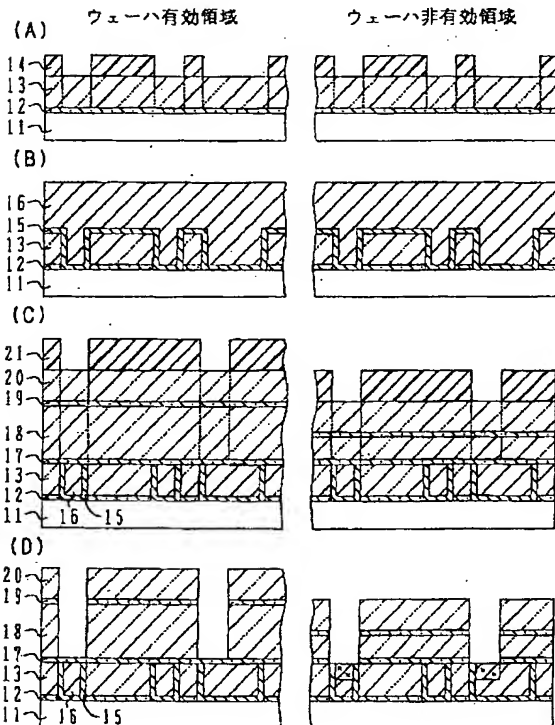
【図 1 8】



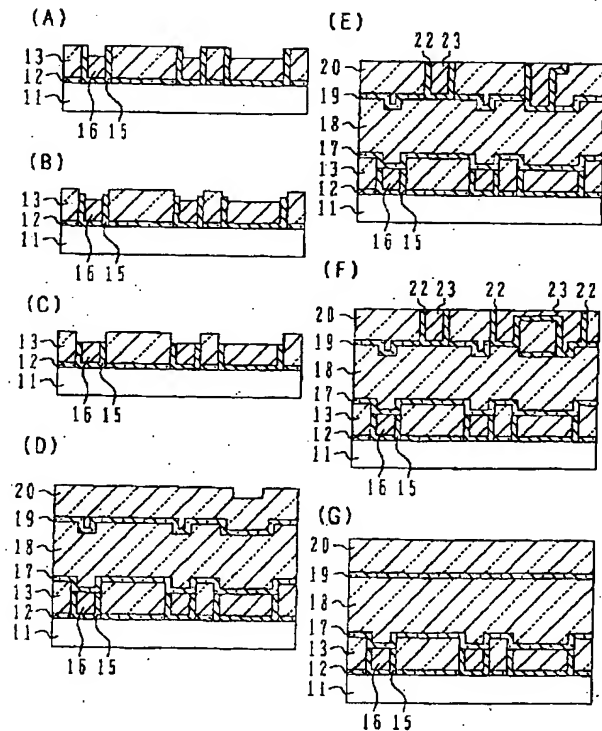
【図 1 9】



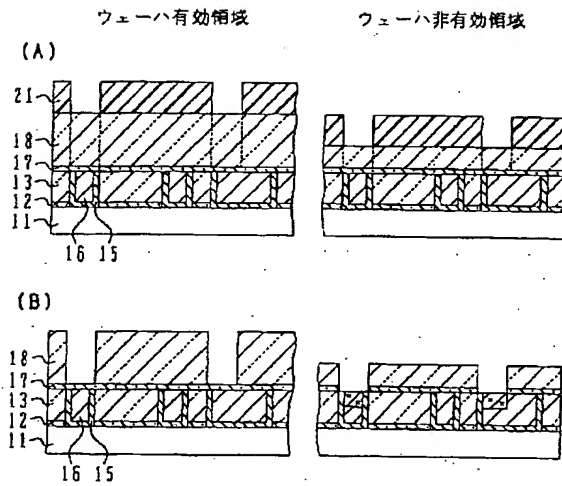
【図 2 0】



【図 2 1】



【図22】



【手続補正書】

【提出日】平成13年9月14日(2001. 9. 14)

【手続補正1】

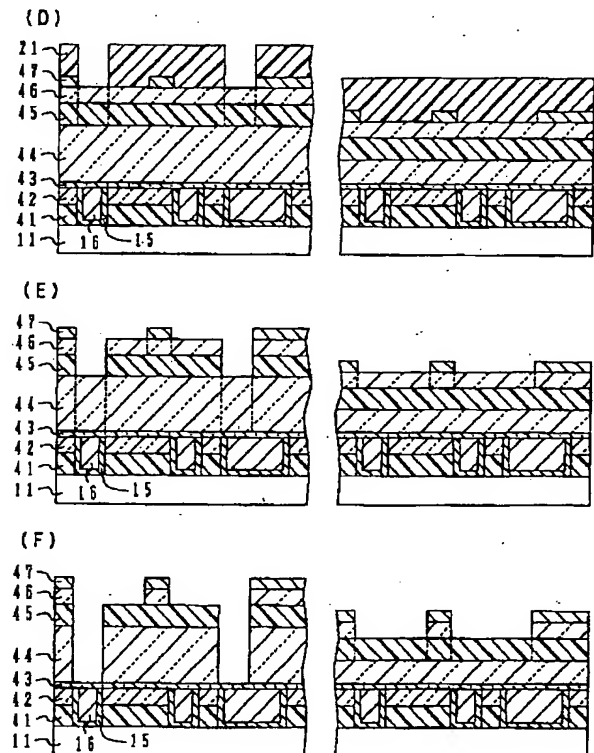
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



フロントページの続き

Fターム(参考) 4M104 BB04 BB17 BB30 CC01 DD07
DD08 DD09 DD16 DD17 DD20
DD37 DD52 DD53 DD75 EE05
EE12 EE14 EE17 EE18 FF17
FF22 HH05 HH12 HH20
5F033 HH11 HH21 JJ01 JJ11 JJ19
JJ21 KK01 KK11 KK21 MM01
MM02 MM12 MM13 NN06 NN07
PP15 PP27 PP28 PP33 QQ09
QQ13 QQ19 QQ25 QQ27 QQ48
QQ74 RR01 RR04 RR06 RR09
RR11 RR21 RR29 SS11 SS15
SS22 TT02 TT04 XX01 XX12
XX20 XX24 XX28

10